



---

# **Comisión Interministerial de Ciencia y Tecnología**

---

## **Curriculum vitae**

Nombre: Unai Bidarte Peraita

Fecha: 17/01/2023

Apellidos: Bidarte Peraita  
DNI: 16053492

Fecha de nacimiento : 24/03/72

Nombre: Unai  
Sexo: V

### Situación profesional actual

Organismo: Euskal Herriko Unibertsitatea, Universidad del País Vasco  
Facultad, Escuela o Instituto: E. T. S. de Ingenieros Industriales y de Ingenieros de Telecomunicación  
Depto./Secc./Unidad estr.: Dpto. de Tecnología Electrónica  
Dirección postal: Alda. Urquijo s/n, 48013 BILBAO

Teléfono (indicar prefijo, número y extensión): 94 6017307

Fax: 94 6014259

Correo electrónico: unai.bidarte@ehu.es

Especialización (Códigos UNESCO): 330700

Categoría profesional: Profesor Agregado

Fecha de inicio: 1/05/2009

Situación administrativa

☒ Plantilla

☐ Contratado

☐ Interino

☐ Becario

☐ Otras situaciones especificar:

Dedicación

A tiempo completo ☒

A tiempo parcial ☐

### Líneas de investigación

Breve descripción, por medio de palabras claves, de la especialización y líneas de investigación actuales.

**Diseño de Circuitos, System-on-Programmable-Chip, Circuitos de Comunicaciones, Circuitos Reconfigurables, VHDL, Tolerancia a Fallos.**

### Formación Académica

Titulación Superior	Centro	Fecha
Ingeniero de Telecomunicaciones	E.T.S. Ingenieros, Bilbao	Noviembre de 1996

Doctorado	Centro	Fecha
Tecnología Electrónica y Control	E.T.S. de Ingeniería, Bilbao	23 de junio de 2004

### Actividades anteriores de carácter científico profesional

Puesto	Institución	Fechas
Profesor Asociado de Universidad	Universidad del País Vasco	1-10-99/30-4-2009

### Idiomas (R = regular, B = bien, C = correctamente)

Idioma	Habla	Lee	Escribe
Euskera	C	C	C
Inglés	B	C	B
Francés	B	B	R
Alemán	R	R	R

## Participación en Proyectos de I+D financiados en Convocatorias públicas.

(nacionales y/o internacionales)

---

Título del proyecto: Analizador de señal y espectro

Entidad financiadora: Universidad del País Vasco/Euskal Herriko Unibertsitatea.

Entidades participantes: UPV/EHU

Duración, desde: Enero 2022 hasta: Diciembre 2022 Cuantía de la subvención: 4.803,00 Euros.

Investigador responsable: Jesús Lázaro Arroategui

Número de investigadores participantes: 28

---

Título del proyecto: Ayuda para apoyar las actividades de grupo de investigación (IT1440-22).

Entidad financiadora: Gobierno Vasco.

Entidades participantes: UPV/EHU

Duración, desde: Enero 2022 hasta: Diciembre 2025 Cuantía de la subvención: 395.000 Euros.

Investigador responsable: José Luis Martín González

Número de investigadores participantes: 19

---

Título del proyecto: Osciloscopio digital RTP de gran ancho de banda.

Entidad financiadora: Universidad del País Vasco/Euskal Herriko Unibertsitatea.

Entidades participantes: UPV/EHU

Duración, desde: Enero 2020 hasta: Diciembre 2020 Cuantía de la subvención: 23.018,00 Euros.

Investigador responsable: Jaime Jiménez Verde

Número de investigadores participantes: 17

---

Título del proyecto: XXXIV conference on desing of circuits and integrated systems (CGV19/23).

Entidad financiadora: Eusko Jaurlaritza/ Gobierno Vasco.

Entidades participantes: UPV/EHU

Duración, desde: Septiembre 2019 hasta: Agosto de 2020 Cuantía de la subvención: 10.000,00 Euros.

Investigador responsable: Aitzol Zuloaga Izaguirre

Número de investigadores participantes: 12

---

Título del proyecto: Redes sensibles al tiempo en comunicaciones redundantes de baja latencia (H+T Net). TEC2017-84011-R.

Entidad financiadora: Ministerio de Economía, Industria y Competitividad.

Entidades participantes: UPV/EHU

Duración, desde: Enero 2018 hasta: Junio de 2021 Cuantía de la subvención: 108.900,00 Euros

Investigador responsable: Jesús Lázaro Arroategui

Número de investigadores participantes: 7 (en UPV/EHU)

---

Título del proyecto: Ayuda para apoyar las actividades de grupo de investigación. IT978-16.

Entidad financiadora: Gobierno Vasco.

Entidades participantes: UPV/EHU

Duración, desde: Enero 2016 hasta: Diciembre 2021 Cuantía de la subvención: 572.000 Euros.

Investigador responsable: José Luis Martín González

Número de investigadores participantes: 13

---

Título del proyecto: Cyber-physical systems en la smartgrid (SMARTGRID 4.0). TEC2014-53785-R.

Entidad financiadora: Ministerio de Economía y Competitividad.  
Entidades participantes: UPV/EHU  
Duración, desde: Enero 2015 hasta: Diciembre de 2017 Cuantía de la subvención: 131.890,00 Euros  
Investigador responsable: Jesús Lázaro Arroategui  
Número de investigadores participantes: 9 (en UPV/EHU)

---

Título del proyecto: Aplicación de dispositivos electrónicos reconfigurables a comunicaciones seguras en Smart-Grids y Subestaciones eléctricas (SAFEGRID). S-PE13UN150.  
Entidad financiadora: Eusko Jaurlaritz/Gobierno Vasco (programa SAIOTEK).  
Entidades participantes: UPV/EHU  
Duración, desde: Enero 2013 hasta: Diciembre de 2013 Cuantía de la subvención: 8.157,62 Euros  
Investigador responsable: Armando Astarloa y Jesús Lázaro  
Número de investigadores participantes: 8 (en UPV/EHU)

---

Título del proyecto: Maqueta de red PTP-PRP-HSR para pruebas entre fabricantes diversos (PETEP).  
Entidad financiadora: UPV/EHU – System-on-Chip engineering, S.L. (Proyecto Universidad-Sociedad). US13/13.  
Entidades participantes: System-on-Chip engineering, S.L. y UPV/EHU  
Duración, desde: Julio 13 hasta: Julio 15 Cuantía de la subvención: 22.907,00 Euros  
Investigador responsable: Jaime Jiménez Verde  
Número de investigadores participantes: 6 (en UPV/EHU)

---

Título del proyecto: Unidad de Formación e Investigación en Telecomunicación y Electrónica (UFITE).  
Entidad financiadora: Universidad del País Vasco (UPV/EHU). UF11/16.  
Entidades participantes: Universidad del País Vasco (UPV/EHU).  
Duración, desde: Enero 12 hasta: Diciembre 14 Cuantía de la subvención: 75.623,86 Euros  
Investigador responsable: José Luis Martín González  
Número de investigadores participantes: 53

---

Título del proyecto: Arquitecturas Autónomas Tolerantes a Fallos Basadas en Dispositivos Reconfigurables Dinámicamente  
Entidad financiadora: Ministerio de Ciencia e Innovación.  
Entidades participantes: UPV/EHU y Tecnalia Research and Innovation.  
Duración, desde: Enero 12 hasta: Diciembre 14 Cuantía de la subvención: 64.009,00 Euros  
Investigador responsable: Unai Bidarte Peraita  
Número de investigadores participantes: 7

---

Título del proyecto: Sistemas avanzados de redes ethernet industriales redundantes a tiempo real (SARETI). S-PE11UN059.  
Entidad financiadora: Gobierno Vasco (programa SAIOTEK 2011).  
Entidades participantes: UPV/EHU.  
Duración, desde: Enero 2011 hasta: Diciembre 2012  
Cuantía de la subvención: 24.946,60 Euros.  
Investigador responsable: Aitzol Zuloaga Izaguirre  
Número de investigadores participantes: 10

---

Título del proyecto: Arquitecturas tolerantes a fallos para sistemas de computación autónomos  
Entidad financiadora: Gobierno Vasco (programa SAIOTEK 2010).  
Entidades participantes: UPV/EHU.  
Duración, desde: Enero 2010 hasta: Diciembre 2011  
Cuantía de la subvención: 26.318,47 Euros  
Investigador responsable: Unai Bidarte Peraita  
Número de investigadores participantes: 8

---

Título del proyecto: Sistemas Autónomos Tolerantes a Fallos Basados en Dispositivos Reconfigurables Dinámicamente.  
Entidad financiadora: Ministerio de Ciencia e Innovación.  
Entidades participantes: UPV/EHU  
Duración, desde: Enero 2010 hasta: Diciembre 2010 Cuantía de la subvención: 7.000 Euros.  
Investigador responsable: Unai Bidarte Peraita  
Número de investigadores participantes: 8

---

Título del proyecto: Ayuda para apoyar las actividades de grupo de investigación. IT394-10.  
Entidad financiadora: Gobierno Vasco.  
Entidades participantes: UPV/EHU  
Duración, desde: Enero 10 hasta: Diciembre 15 Cuantía de la subvención: 530.000 Euros.  
Investigador responsable: José Luis Martín González  
Número de investigadores participantes: 8

---

Título del proyecto: SETEMAR: Sistema electrónico de transmisión de energía en media y alta tensión para recursos renovables marinos. UE09/02  
Entidad financiadora: UPV/EHU y Fundación Robotiker (Proyectos Universidad-Empresa)  
Entidades participantes: UPV/EHU y Robotiker-Tecnalia  
Duración, desde: Diciembre 09 hasta: Diciembre 11 Cuantía de la subvención: 115.000,00 Euros  
Investigador responsable: José Luis Martín González  
Número de investigadores participantes: 10 (en UPV/EHU)

---

Título del proyecto: SEATOL: Circuitos Electrónicos Autoreparables Tolerantes a Fallos  
Entidad financiadora: Diputación Foral de Bizkaia y UPV/EHU (programa DIPE-BEAZ09).  
Entidades participantes: UPV/EHU.  
Duración, desde: Enero 10 hasta: Diciembre 11 Cuantía de la subvención: 43.753,00 Euros  
Investigador responsable: Armando Astarloa Cuéllar  
Número de investigadores participantes: 7

---

Título del proyecto: Integración del estándar de comunicaciones KNX/EIB con innovadores mecanismos de autenticación y cifrado en los sistemas PV7. UE09+/12..  
Entidad financiadora: Gobierno Vasco – Dinitel 2000, S. A. (Programa Universidad-Empresa).  
Entidades participantes: UPV/EHU.  
Duración, desde: Enero de 2010 - Diciembre de 2010 Cuantía de la subvención: 52.000,00 Euros  
Investigador responsable: Armando Fermín Astarloa Cuéllar  
Número de investigadores participantes: 6

---

Título del proyecto: CADAV: Sistema de captura de datos a alta velocidad en sistemas críticos.  
Entidad financiadora: Eusko Jaurlaritz/Gobierno Vasco (programa SAIOTEK). S-PE09UN17  
Entidades participantes: UPV/EHU.  
Duración, desde: Enero 09 hasta: Mayo 10 Cuantía de la subvención: 46.857,26 Euros  
Investigador responsable: Jesús Lázaro Arroategui  
Número de investigadores participantes: 8

---

Título del proyecto: EMERGE: Investigación y desarrollo de un sistema para generación eólica offshore en aguas profundas.  
PSE-120000-2009-2  
Entidad financiadora: Ministerio de Ciencia e Innovación (Proyecto Singular Estratégico)

Entidades participantes: Iberdrola Renovables (líder del proyecto), Ecotécnia/Alstom, Acciona Energía, Robotiker-Tecnalia, Instituto de Investigación de Energía de Cataluña, KV Consultores, Universidad de Cádiz y UPV/EHU  
Duración, desde: Enero 09 hasta: Diciembre 10  
Cuantía de la subvención: 16.100,00 Euros  
Investigador responsable: José Luis Martín González  
Número de investigadores participantes: 12 (en UPV/EHU)

---

Título del proyecto: Sistemas inteligentes para la nueva generación de transporte terrestre  
Entidad financiadora: Eusko Jaurlaritz/Gobierno Vasco (Programa ETORTEK) IE08-221  
Entidades participantes: Ikerlan, CEIT, Robotiker, Tekniker, Fatronic, ESI, Vicomtech, Mondragón Unibertsitatea-MGEP, Tecnun, Fundación Deusto, Universidad del País Vasco/Euskal Eriko Unibertsitatea-CCIA-APERT  
Duración, desde: Enero 2008 hasta: Diciembre 2010  
Cuantía de la subvención: 46.189,00 euros  
Investigador responsable: Aitzol Zuloaga  
Número de investigadores participantes: 7 (en UPV/EHU)

---

Título del proyecto: ILOTEN: Paso a aislamiento de un sistema de energía híbrido  
Entidad financiadora: Eusko Jaurlaritz/Gobierno Vasco (Cooperación Aquitania-Euskadi)  
Entidades participantes: Ecole Supérieure des Technologies Industrielles Avancées de Bayona (Francia), Universidad del País Vasco (UPV/EHU).  
Duración, desde: Junio 08 hasta: Mayo 09  
Cuantía de la subvención: 9.996,00 Euros  
Investigador responsable: Jaime Jiménez Verde  
Número de investigadores participantes: 10 (en UPV/EHU)

---

Título del proyecto: Mejora de la conversión de energía minieólica mediante convertidores matriciales (EOMATRIX).  
Entidad financiadora: Eusko Jaurlaritz/Gobierno Vasco (programa SAIOTEK). S-PE09UN08  
Entidades participantes: UPV/EHU.  
Duración, desde: 2009 hasta: 2010 Cuantía de la subvención: 35.681,77 Euros  
Investigador responsable: Jon Andreu  
Tipo de participación en el proyecto: Investigador principal  
Número de investigadores participantes: 8 de la UPV/EHU

---

Título del proyecto: Estimar el área y la velocidad de sistemas complejos sintetizados en FPGAs  
Entidad financiadora: Eusko Jaurlaritz/Gobierno Vasco (programa SAIOTEK) S-PE08UN27  
Entidades participantes: Universidad del País Vasco (UPV/EHU)  
Duración, desde: enero 08 hasta: diciembre 09  
Cuantía de la subvención: 42.342,91 Euros  
Investigador responsable: Jaime Jiménez Verde  
Número de investigadores participantes: 6

---

Título del proyecto: Subvención general a grupo de investigación (Grupo APERT).  
Entidad financiadora: Universidad del País Vasco (UPV/EHU) 9/UPV 00147.345-15990/2004  
Entidades participantes: Universidad del País Vasco (UPV/EHU).  
Duración, desde: Mayo 08 hasta: Mayo 11 Cuantía de la subvención: 118.498,00 Euros  
Investigador responsable: José Luis Martín González  
Número de investigadores participantes: 10

---

Título del proyecto: Estudio de la Aplicación de los Convertidores Matriciales a los Generadores Eólicos  
Entidad financiadora: Ministerio de Educación y Ciencia. ENE2007-67033-C03-01/ALT  
Entidades participantes: Universidad del País Vasco (UPV/EHU), Universidad Politécnica de Cataluña, Robotiker  
Duración, desde: Diciembre 07 hasta: Diciembre 10 Cuantía de la subvención: 95.590,00 Euros  
Investigador responsable: José Luis Martín González  
Número de investigadores participantes: 8 (en UPV/EHU)

---

Título del proyecto: Seguridad Aplicada a Redes Domóticas e Industriales  
Entidad financiadora: Eusko Jauriaritza/Gobierno Vasco (programa SAIOTEK) S-PE07UN01  
Entidades participantes: Universidad del País Vasco (UPV/EHU)  
Duración, desde: Enero 07 hasta: Diciembre 08 Cuantía de la subvención: 20.563,23 Euros  
Investigador responsable: Armando Astarloa Cuéllar  
Número de investigadores participantes: 10 (en UPV/EHU)

---

Título del contrato/proyecto: Broadband Access Networks Integrated Telecommunication System 2 (BANITS2).  
Entidad financiadora: Ministerio de Industria, Comercio y Turismo (Iniciativa Europea CELTIC) TSI-020400-2008-18  
Entidades participantes: Telefónica I+D , Corrigent Systems , ECI Telecom , Ericsson , LMI-Ericsson ,FTW , Inelcom , Lund University , Optibase Ltd. , Fundación Robotiker-Tecnalia, UpZide Labs , UPV/EHU.  
Duración, desde: Enero 08 hasta: Mayo 09 Cuantía de la subvención: 49.893,00 Euros(en la UPV/EHU)  
Investigador responsable: José Luis Martín (en la UPV/EHU)  
Número de investigadores participantes: 7 (en la UPV/EHU)

---

Título del proyecto: Crypto-Bridge Embebido Para Aplicaciones de Voto Electronico  
Entidad financiadora: Universidad del País Vasco - Gobierno Vasco (Programa EJIE)  
Entidades participantes: Universidad del País Vasco  
Duración, desde: Noviembre 2007 hasta: Noviembre 2008 Cuantía de la subvención: 8.900,00 Euros  
Investigador responsable: Armando Astarloa  
Tipo de participación: Miembro del equipo investigador  
Número de investigadores participantes: 4

---

Título del proyecto: RENOVA - Investigacion estrategica en energias renovables y alternativas.  
Entidad financiadora: Eusko Jauriaritza/Gobierno Vasco (programa ETORTEK).  
Entidades participantes: Robotiker (coordinador), Inasmet, Labein, Ikerlan, UPV/EHU (Instituto de Tecnología Microelectrónica y Grupo APERT)  
Duración, desde: Enero 06 hasta: Diciembre 08 Cuantía de la subvención: 120.000,00 Euros  
Investigador responsable: José Luis Martín González  
Número de investigadores participantes: 9 (en UPV/EHU)

---

Título del proyecto: Control Adaptativo de Convertidores de Energía Matriciales mediante FPGAs.  
Entidad financiadora: Eusko Jauriaritza/Gobierno Vasco (programa SAIOTEK) S-PE06UN15.  
Entidades participantes: UPV/EHU.  
Duración, desde: Enero 06 hasta: Diciembre 07 Cuantía de la subvención: 39.566,71 Euros  
Investigador responsable: Unai Bidarte Peraita  
Número de investigadores participantes: 11 de la UPV/EHU

---

Título del proyecto: Convertidores de energía avanzados para la mejora del rendimiento y calidad de potencia en generadores eólicos (RECENER).  
Entidad financiadora: Ministerio de Educación y Ciencia. ENE2004-07881-C03-00.  
Entidades participantes: Universidad del País Vasco (UPV/EHU), Universidad Politécnica de Cataluña, Robotiker.

Duración, desde: Diciembre 04 hasta: Diciembre 07      Cuantía de la subvención: 97.700,00 Euros  
Investigador responsable: José Miguel de Diego Rodríguez  
Número de investigadores participantes: 7 (en UPV/EHU)

---

Título: Visión estéreo artificial: procesamiento de imágenes estereoscópicas en tiempo real  
Entidad financiadora: Gobierno Vasco (programa SAIOTEK)  
Entidades participantes: Universidad del País Vasco (UPV/EHU).  
Duración, desde: Diciembre 04 hasta: Diciembre 05      Cuantía de la subvención: 39.922,80 Euros  
Investigador responsable: A. Zuloaga  
Número de investigadores participantes: 7

---

Título del proyecto: Subvención general a grupo de investigación (Grupo APERT).  
Entidad financiadora: Universidad del País Vasco (UPV/EHU) 9/UPV 00147.345-15990/2004  
Entidades participantes: Universidad del País Vasco (UPV/EHU).  
Duración, desde: Diciembre 04 hasta: Diciembre 07      Cuantía de la subvención: 60.000,00 Euros  
Investigador responsable: José Luis Martín González  
Número de investigadores participantes: 10

---

Título del proyecto: Metodología de diseño y entorno de simulación basado en el lenguaje de descripción de hardware VHDL de circuitos según la norma de comunicaciones para trenes IEC 61375-1.  
Entidad financiadora: Ministerio de Ciencia y Tecnología, TIC2001-0062.  
Entidades participantes: Universidad del País Vasco (UPV/EHU), Universidad de Zaragoza, CAF S. A.  
Duración, desde: Enero 02 hasta: Diciembre 04      Cuantía de la subvención: 129.968,86 Euros  
Investigador responsable: José Luis Martín González  
Número de investigadores participantes: 14

---

Título del proyecto: Diseño mediante VHDL de un Circuito que Determine el Flujo Óptico de una Secuencia de Imágenes en Tiempo Real.  
Entidad financiadora: Gobierno Vasco, PI-1998-41  
Entidades participantes: Universidad del País Vasco (UPV/EHU)  
Duración, desde: Enero 99 hasta: Diciembre 01      Cuantía de la subvención: 4.967.770 ptas.  
Investigador responsable: José Luis Martín González  
Número de investigadores participantes: 9

---

Título del proyecto: Diseño de módulos parametrizables mediante VHDL para preprocesamiento de imágenes en tiempo real  
Entidad financiadora: Gobierno Vasco, PI96/91  
Entidades participantes: Universidad del País Vasco (UPV/EHU)  
Duración, desde: Enero 97 hasta: Diciembre 98      Cuantía de la subvención: 5.198.000 ptas.  
Investigador responsable: José Angel Ezquerro Ventosa  
Número de investigadores participantes: 5

---



## Publicaciones o Documentos Científico-Técnicos

---

( CLAVE: L = libro completo, CL = capítulo de libro, A = artículo, R = "review", E = editor,  
S = Documento Científico-Técnico restringido. )

---

### TRABAJOS CIENTÍFICO-TÉCNICOS PUBLICADOS EN REVISTAS INTERNACIONALES

Autores (p.o. de firma): J. Jiménez, L. Muguiru, U. Bidarte, A. Largacha, J. Lázaro  
Título: Specific electronic platform to test the influence of hypervisors on the performance of embedded systems  
Ref. ☒ revista ☐ Libro: Technologies  
Clave: A Volumen: 10(3) Páginas, inicial: 65:1 final: 65:10 Fecha: 2022.  
DOI: doi.org/10.3390/technologies10030065

---

Autores (p.o. de firma): J. Lázaro, U. Bidarte, L. Muguiru, A. Astarloa, J. Jiménez  
Título: Embedded firewall for on-chip bus transactions  
Ref. ☒ revista ☐ Libro: Computers & Electrical Engineering  
Clave: A Volumen: 98 Páginas, inicial: 107707: 1 final: 107707: 9 Fecha: 2022.  
DOI: doi.org/10.1016/j.compeleceng.2022.107707

---

Autores (p.o. de firma): J. Lázaro, U. Bidarte, L. Muguiru, C. Cuadrado, J. Jiménez  
Título: Fast and efficient address search in System-on-a-Programmable-Chip using binary trees  
Ref. ☒ revista ☐ Libro: Computers & Electrical Engineering  
Clave: A Volumen: 96 (B) Páginas, inicial: 107403: 1 final: 107403: 12 Fecha: 2021.  
DOI: doi.org/10.1016/j.compeleceng.2021.107403

---

Autores (p.o. de firma): S. Alonso, J. Lázaro, J. Jiménez, U. Bidarte, L. Muguiru  
Título: Evaluating Latency in Multiprocessing Embedded Systems for the Smart Grid  
Ref. ☒ revista ☐ Libro: Energies  
Clave: A Volumen: 14 (11) Páginas, inicial: 3322:1 final: 3322:14 Fecha: 2021.  
DOI: doi.org/10.3390/en14113322

---

Autores (p.o. de firma): J. Lázaro, A. Astarloa, M. Rodríguez, U. Bidarte, J. Jiménez  
Título: A Survey on Vulnerabilities and Countermeasures in the Communications of the Smart Grid  
Ref. ☒ revista ☐ Libro: Electronics  
Clave: A Volumen: 10 (16) Páginas, inicial: 1881:1 final: 1881:15 Fecha: 2021.  
DOI: 10.3390/electronics10161881

---

Autores (p.o. de firma): M. Rodríguez, J. Lázaro, U. Bidarte, J. Jiménez, A. Astarloa  
Título: A Fixed-Latency Architecture to Secure GOOSE and Sampled Value Messages in Substation Systems  
Ref. ☒ revista ☐ Libro: IEEE Access  
Clave: A Volumen: 9 Páginas, inicial: 51646 final: 51658 Fecha: 2021.  
DOI: 10.1109/ACCESS.2021.3069088

---

Autores (p.o. de firma): .M. Urbina, T. Acosta, J. Lázaro, A. Astarloa, U. Bidarte  
Título: Smart Sensor: SoC architecture for the Industrial Internet of Things.  
Ref. ☒ revista ☐ Libro: IEEE Internet of Things Journal

Clave: A      Volumen: 6 (4)      Páginas, inicial: 6567 final: 6577      Fecha: 2019.  
DOI: 10.1109/JIOT.2019.2908264

---

Autores (p.o. de firma): I. Villalta, U. Bidarte, J. Gómez-Cornejo, J. Jiménez, J. Lázaro.  
Título: SEU Emulation in Industrial SoCs combining Microprocessor and FPGA.  
Ref.      ☒ revista      ☐ Libro: Reliability Engineering and System Safety  
Clave: A      Volumen: 170      Páginas, inicial: 53 final: 63      Fecha: 2018.  
<https://doi.org/10.1016/j.ress.2017.09.028>

---

Autores (p.o. de firma): M. Urbina, A. Astarloa, J. Lázaro, U. Bidarte, I. Villalta, M. Rodríguez.  
Título: Cyber-Physical Production System Gateway based on a programmable SoC platform .  
Ref.      ☒ revista      ☐ Libro: IEEE Access  
Clave: A      Volumen: 5      Páginas, inicial: 20408 final: 20417      Fecha: 2017.  
DOI: 10.1109/ACCESS.2017.2757048

---

Autores (p.o. de firma): I. Villalta, U. Bidarte, J. Gómez-Cornejo, J. Lázaro, A. Astarloa.  
Título: Estimating the SEU Failure Rate of Designs implemented in FPGAs in Presence of MCUs.  
Ref.      ☒ revista      ☐ Libro: Microelectronics Reliability  
Clave: A      Volumen: 78      Páginas, inicial: 85 final: 92      Fecha: 2017.  
<https://doi.org/10.1016/j.microrel.2017.08.003>

---

Autores (p.o. de firma): N. Moreira, J. Lázaro, U. Bidarte, J. Jiménez, A. Astarloa.  
Título: On the Utilization of System-on-Chip Platforms to Achieve Nanosecond Synchronization Accuracies in Substation Automation Systems.  
Ref.      ☒ revista      ☐ Libro: IEEE Transactions on Smart Grid  
Clave: A      Volumen: 8 (4)      Páginas, inicial: 1932 final: 1942      Fecha: julio 2017.  
DOI: 10.1109/TSG.2015.2512440

---

Autores (p.o. de firma): J. Lázaro, A. Astarloa, J.A. Araujo, N. Moreira, U. Bidarte.  
Título: MACsec Layer 2 Security in HSR Rings in Substation Automation Systems.  
Ref.      ☒ revista      ☐ Libro: Energies  
Clave: A      Volumen: 10 (2)      Páginas, inicial: 162 final: 176      Fecha: 2017.  
<https://doi.org/10.3390/en10020162>

---

Autores (p.o. de firma): U. Kretschmar, J. Gomez-Cornejo, A. Astarloa, U. Bidarte, J. Del Ser  
Título: Synchronization of faulty processors in coarse-grained TMR protected partially reconfigurable FPGA designs.  
Ref.      ☒ revista      ☐ Libro: Reliability Engineering & System Safety  
Clave: A      Volumen: 151      Páginas, inicial: 1 final: 9      Fecha: 2016.  
<https://doi.org/10.1016/j.ress.2015.12.018>

---

Autores (p.o. de firma): J. Lázaro, A. Astarloa, A. Zuloaga, U. Bidarte, J. Jiménez  
Título: I2CSec: a Secure Serial Chip-to-Chip Communication Protocol.  
Ref.      ☒ revista      ☐ Libro: Journal of Systems Architecture  
Clave: A      Volumen: 57 (2)      Páginas, inicial: 206 final: 213      Fecha: Febrero de 2011.  
<https://doi.org/10.1016/j.sysarc.2010.12.001>

---

Autores (p.o. de firma): Enekoitz Ormaetxea, Jon Andreu, Iñigo Kortabarria, Unai Bidarte, Iñigo Martínez de Alegría, Edorta Ibarra, Ekaitz Olaguenaga

Título: Matrix Converter Protection and Computational Capabilities based on a System on Chip design with an FPGA.

Ref. ☒ revista ☐ Libro: IEEE Transactions on Power Electronics  
Clave: A Volumen: 26 (1) Páginas, inicial: 272 final: 287 Fecha: Enero de 2011

---

Autores (p.o. de firma): T. Dorta, J. Jiménez, J. L. Martín, U. Bidarte, A. Astarloa

Título: Reconfigurable Multiprocessor Systems: a Review.

Ref. ☒ revista ☐ Libro: International Journal of Reconfigurable Computing  
Clave: A Volumen: Páginas, inicial: 1 final: 10 Fecha: Aceptado el 26/10/2010.  
doi:10.1155/2010/570279

---

Autores (p.o. de firma): A. Astarloa, J. Lázaro, U. Bidarte, A. Zuloaga, J. L. Martín

Título: An Autonomous Fault Tolerant System for CAN Communications.

Ref. ☒ revista ☐ Libro: Lectures Notes in Artificial Intelligence  
Clave: A Volumen: 6098 Páginas, inicial: 281 final: 290 Fecha: Junio de 2010

---

Autores (p.o. de firma): Julen Revenga, Jon Andreu, Enekoitz Ormaetxea, Unai Bidarte, Pedro Ibáñez

Título: Diseño de un convertidor matricial con control integrado

Ref. ☒ revista ☐ Libro: DYNA Ingeniería e Industria (ISSN: 0012-7361)  
Clave: A Volumen: 85 Número: 3 Páginas, inicial: 217 final: 224 Fecha: Abril de 2010  
DOI: <http://dx.doi.org/10.6036/3010>

---

Autores (p.o. de firma): Jesús Lázaro, Armando Astarloa, Unai Bidarte, Jaime Jiménez, Aitzol Zuloaga

Título: AES-Galois Counter Mode Encryption/Decryption FPGA Core for Industrial and Residential Gigabit Ethernet Communications

Ref. ☒ revista ☐ Libro: Lectures Notes in Computer Science  
Clave: A Volumen: 5453 Páginas, inicial: 312 final: 317 Fecha: 2009

---

Autores (p.o. de firma): Armando Astarloa, Jesús Lázaro, Unai Bidarte, Jaime Jiménez, Aitzol Zuloaga

Título: FPGA technology for multi-axis control systems

Ref. ☒ revista ☐ Libro: Mechatronics  
Clave: A Volumen: 19(2) Páginas, inicial: 258 final: 268 Fecha: Marzo 2009

---

Autores (p.o. de firma): J. Andreu, U. Bidarte, A. Astarloa, I. Martínez de Alegría, P. Ibáñez

Título: FPGA solution for Matrix Converter Double Sided Space Vector Modulation Algorithm

Ref. ☒ revista ☐ Libro: International Journal of Electronics  
Clave: A Volumen: 95(11) Páginas, inicial: 1181 final: 1200 Fecha: Noviembre 2008

---

Autores (p.o. de firma): Armando Astarloa, Unai Bidarte, Jaime Jiménez, Jesús Lázaro, Iñigo Martínez de Alegría

Título: Secure Ethernet Point-to-Point Links for Autonomous Electronic Ballot Boxes

Ref. ☒ revista ☐ Libro: Lecture Notes in Computer Science  
Clave: A Volumen: 5060 Páginas, inicial: 603 final: 614 Fecha: 2008

---

Autores (p.o. de firma): A. LLarí, J. Jiménez, U. Bidarte, O. Curea

Título: Operational Amplifiers in Discrete Time Control Systems: Influence of the Rail-to-Rail Feature on their Performance

Ref. ☒ revista ☐ Libro: WSEAS Transactions on Electronics  
Clave: A Volumen: 2(5) Páginas, inicial: 25 final: 34 Fecha: 5 Febrero 2008

---

- Autores (p.o. de firma): J. Lázaro, J. Arias, A. Astarloa, U. Bidarte y A. Zuloaga  
 Título: Hardware Architecture for a general Regression Neural Network Coprocessor  
 Ref. ☒ revista ☐ Libro: Neurocomputing  
 Clave: A Volumen: 71(1-3) Páginas, inicial: 78 final: 87 Fecha: Diciembre 2007
- 
- Autores (p.o. de firma): J. Jiménez, J. L. Martín, U. Bidarte, A. Astarloa, A. Zuloaga  
 Título: Design of a Master device for the Multifunction Vehicle Bus  
 Ref. ☒ revista ☐ Libro: IEEE Transactions on Vehicular Technology  
 Clave: A Volumen: 56(6) Páginas, inicial: 3695 final: 3708 Fecha: Noviembre de 2007
- 
- Autores (p.o. de firma): A. Astarloa, A. Zuloaga, U. Bidarte, J. L. Martín, J. Lázaro y J. Jiménez  
 Título: Tornado: A Self-Reconfiguration Control System for Core-Based Multiprocessor CSoPCs  
 Ref. ☒ revista ☐ Libro: Journal of Systems Architecture  
 Clave: A Volumen: 53(9) Páginas, inicial: 629 final: 643 Fecha: Septiembre 2007
- 
- Autores (p.o. de firma): J. Jiménez, J. L. Martín, A. Zuloaga, U. Bidarte, J. Arias  
 Título: Comparison of two designs for the Multifunction Vehicle Bus  
 Ref. ☒ revista ☐ Libro: IEEE Transactions on CAD of Integrated Circuits and Systems  
 Clave: A Volumen: 25(5) Páginas, inicial: 797 final: 805 Fecha: Mayo de 2006
- 
- Autores (p.o. de firma): J. Andreu, I. Martínez de Alegría, I. Kortabarria, U. Bidarte, S. Ceballos  
 Título: Matrix Converter Protection: Active and Passive Strategy Considerations  
 Ref. ☒ revista ☐ Libro: WSEAS Transactions on Power Systems  
 Clave: A Volumen: 1(10) Páginas, inicial: 1698 final: 1706 Fecha: 2006
- 
- Autores (p.o. de firma): J. Andreu, U. Bidarte, J. L. Martín, A. Astarloa, J. Jiménez  
 Título: FPGA solution for System-Level Validation of Matrix Converter Space Vector Modulation Algorithm  
 Ref. ☒ revista ☐ Libro: WSEAS Transactions on Power Systems  
 Clave: A Volumen: 1(10) Páginas, inicial: 1747 final: 1753 Fecha: 2006
- 
- Autores (p.o. de firma): Armando Astarloa, Unai Bidarte, Jesus Lázaro, Aitzol Zuloaga and Jagoba Arias  
 Título: Multiprocessor SoPC-Core for FAT Volume Computation  
 Ref. ☒ revista: Microprocessors and Microsystems ☐ Libro:  
 Clave: A Volumen: 29 Páginas, inicial: 421 final: 434 Fecha: Diciembre de 2005
- 
- Autores (p.o. de firma): J. L. Martín, A. Zuloaga, C. Cuadrado, J. Lázaro, U. Bidarte  
 Título: Hardware implementation of optical flow constraint equation using FPGAs  
 Ref. ☒ revista: Computer Vision and Image Understanding ☐ Libro:  
 Clave: A Volumen: 98(3) Páginas, inicial: 462 final: 490 Fecha: Junio de 2005
- 
- Autores (p.o. de firma): Jesús Lázaro, Jagoba Arias, José L. Martín, Armando Astarloa, Unai Bidarte  
 Título: A Tiny Microprocessor Floating Point Implementation of a General Regression Neural Network  
 Ref. ☒ revista: WSEAS Transactions on Computers ☐ Libro:  
 Clave: A Volumen: Issue 2, Vol. 4 Páginas, inicial: 280 final: 285 Fecha: Febrero 2005
- 
- Autores (p.o. de firma): U. Bidarte, A. Astarloa, A. Zuloaga, J. L. Martín y J. Jiménez  
 Título: Core-Based Architecture For Data Transfer Control In Soc Design  
 Ref. ☐ revista: ☒ Libro: New Algorithms, Architectures, and Applications for Reconfigurable Computing, Kluwer Academic Publishers

Clave: CL      Volumen:      Páginas, inicial: 43 final: 54      Fecha: 2005

---

Autores (p.o. de firma): Jaime Jiménez, José L. Martín, Jagoba Arias, Unai Bidarte, Armando Astarloa

Título: TCN (Train Communication Network) gateway for simulation

Ref.    ☒ revista: WSEAS Transactions on Computers    ☐ Libro:

Clave: CL      Volumen: Issue 4, Vol. 1      Páginas, inicial: 601      final: 606      Fecha: Octubre 2004

---

Autores: A. Astarloa, J. Lázaro, U. Bidarte, J. L. Martín y A. Zuloaga

Título: A Self-reconfiguration Framework for Multiprocessor CSoPCs.

Ref.    ☒ revista: Lectures Notes in Computer Science    ☐ Libro:

Clave: A      Volumen: 3203      Páginas, inicial: 1124 final: 1126      Fecha: Septiembre de 2004

---

Autores: J. Lázaro, A. Astarloa, U. Bidarte, J. Arias y C. Cuadrado

Título: High Throughput Serpent Encryption Implementation.

Ref.    ☒ revista: Lectures Notes in Computer Science    ☐ Libro:

Clave: A      Volumen: 3203      Páginas, inicial: 996 final: 1000      Fecha: Septiembre de 2004

---

Autores: U. Bidarte, A. Astarloa, J.L. Martín y J. Andreu

Título: Simulation Platform for Architectural Verification and Performance Analysis in Core-Based SoC Design.

Ref.    ☒ revista: Lectures Notes in Computer Science    ☐ Libro:

Clave: A      Volumen: 3203      Páginas, inicial: 965 final: 969      Fecha: Septiembre de 2004

---

Autores: U. Bidarte, A. Astarloa, A. Zuloaga, J. Jiménez and I. Mtz. De Alegría

Título: Core-Based Reusable Architecture for Slave Circuits with Extensive Data Exchange Requirements.

Ref.    ☒ revista: Lectures Notes in Computer Science    ☐ Libro:

Clave: A      Volumen: 2778      Páginas, inicial: 497 final: 506      Fecha: Septiembre de 2003

---

## MONOGRAFÍAS DE CARÁCTER DOCENTE

---

Autores (p.o. de firma): J. L. Martín (coordinador), P. Ibáñez, A. Zuloaga, U. Bidarte, J. Arias y J. Lázaro  
Título: Elektronika Digitala  
Ref. ☐ revista ☒ Libro: ISBN 978-84-9860-417-7  
Clave: L Volumen: 1 Fecha: 2010  
Editorial (si libro): Servicio de publicaciones de la Universidad del País Vasco  
Lugar de publicación: Zarauz (Guipúzcoa)

---

Autores (p.o. de firma): J. L. Martín (coordinador), P. Ibáñez, A. Zuloaga, U. Bidarte, J. Arias y J. Lázaro  
Título: Elektronika digitaleko problema ebatziak  
Ref. ☐ revista ☒ Libro: ISBN 978-84-9860-431-3  
Clave: L Volumen: 1 Fecha: 2010  
Editorial (si libro): Servicio de publicaciones de la Universidad del País Vasco  
Lugar de publicación: Zarauz (Guipúzcoa)

---

Autores (p.o. de firma): Unai Bidarte y Armando Astarloa  
Título: Bus de Sistema e Integración de Núcleos Prediseñados  
Ref. ☐ revista ☒ Libro:  
Clave: L Volumen: 1 Fecha: 2008-2013  
Editorial (si libro): Servicio de publicaciones E.T.S. Ing. Ind. y Telec.  
Lugar de publicación: Bilbao

---

Autores (p.o. de firma): Armando Astarloa y Unai Bidarte  
Título: Diseño System-on-Chip (SoC) con FPGAs de Alta Capacidad. Curso de Doctorado  
Ref. ☐ revista ☒ Libro:  
Clave: L Volumen: 1 Fecha: 2006, 2007 y 2008 (3 ed.)  
Editorial (si libro): Servicio de publicaciones E.T.S. Ing. Ind. y Telec.  
Lugar de publicación: Bilbao

---

Autores (p.o. de firma): J. L. Martín (coordinador), P. Ibáñez, A. Zuloaga, U. Bidarte, J. Arias y J. Lázaro  
Título: Electrónica Digital  
Ref. ☐ revista ☒ Libro: ISBN 84-96477-44-4  
Clave: L Volumen: 1 Páginas, inicial: 1 final: 386 Fecha: 2006  
Editorial (si libro): Delta Publicaciones  
Lugar de publicación: Madrid

---

Autores (p.o. de firma): J. L. Martín (coordinador), P. Ibáñez, A. Zuloaga, U. Bidarte, J. Arias y J. Lázaro  
Título: Problemas resueltos de Electrónica Digital  
Ref. ☐ revista ☒ Libro: ISBN 84-96477-45-2  
Clave: L Volumen: 1 Páginas, inicial: 1 final: 177 Fecha: 2006  
Editorial (si libro): Delta Publicaciones  
Lugar de publicación: Madrid

---

Autores (p.o. de firma): J. L. Martín (coordinador), P. Ibáñez, A. Zuloaga, U. Bidarte, J. Arias y J. Lázaro  
Título: Electrónica Digital  
Ref. ☐ revista ☒ Libro:

Clave: L                  Volumen: 1                  Páginas, inicial: 1    final: 456 (últ. ed.)    Fecha: 2004 y 2005 (2 ediciones)  
Editorial (si libro): Servicio de publicaciones E. T. S. I. de Bilbao  
Lugar de publicación: Bilbao

---

Autores (p.o. de firma): L. Martín (coordinador), P. Ibáñez, A. Zuloaga, U. Bidarte, J. Arias y J. Lázaro  
Título: Problemas de Electrónica Digital  
Ref.        ☐ revista                                  ☒ Libro:  
Clave: L                  Volumen: 1                  Páginas, inicial: 1    final: 198 (últ. ed.)    Fecha: 2004 y 2005 (2 ediciones)  
Editorial (si libro): Servicio de publicaciones E. T. S. I. de Bilbao  
Lugar de publicación: Bilbao

---

Autores (p.o. de firma): :        J. Jiménez, U. Bidarte, J. L. Martín, P. Ibáñez  
Título: Laboratorio de Electrónica Digital: 2º de Telecomunicación  
Ref.        ☐ revista                                  ☒ Libro:  
Clave: L                  Volumen: 1                  Páginas, inicial: 1    final: 151                                  Fecha: Febrero de 2005  
Editorial (si libro): Servicio de publicaciones E.T.S. Ing. Ind. y Telec.  
Lugar de publicación: Bilbao

---

Autores (p.o. de firma): :        J. L. Martín, J. Ezquerra, P. Ibañez, J. Jimenez y U. Bidarte  
Título: Laboratorio de Electrónica Digital: 2º de Telecomunicación  
Ref.        ☐ revista                                  ☒ Libro:  
Clave: L                  Volumen: 1                  Páginas, inicial: 1    final: 157                                  Fecha: 2002  
Editorial (si libro): Servicio de publicaciones E.T.S. Ing. Ind. y Telec.  
Lugar de publicación: Bilbao

---

Autores (p.o. de firma): J. L. Martín, P. Ibañez, J. Ezquerra, U. Bidarte y A. Zuloaga  
Título: Laboratorio de Sistemas Electrónicos Digitales.  
Ref.        ☐ revista                                  ☒ Libro:  
Clave: L                  Volumen: 1                  Páginas, inicial: 1    final: 58                                  Fecha: 2001  
Editorial (si libro): Servicio de publicaciones E.T.S. Ing. Ind. y Telec.  
Lugar de publicación: Bilbao

---

Autores (p.o. de firma): U. Bidarte, J. L. Martín, P. Ibañez y J. Ezquerra  
Título: Prácticas de Sistemas Electrónicos Digitales  
Ref.        ☐ revista                                  ☒ Libro:  
Clave: L                  Volumen: 1                  Páginas, inicial: 1    final: 129                                  Fecha: 2000  
Editorial (si libro): Servicio de publicaciones E.T.S. Ing. Ind. y Telec.  
Lugar de publicación: Bilbao

---

## **Participación en contratos de I+D de especial relevancia con Empresas y/o Administraciones** (nacionales y/o internacionales)

---

Título Apoyo técnico a proyecto HAZITEK IKERTU II (PT10726).

Resumen: El proyecto consiste en continuar aportando mejoras en el diseño de los equipos de alimentación y transformadores de pulsos utilizados en aceleradores lineales para la aplicación de la protonterapia en tratamientos médicos. En particular se investigará en técnicas constructivas de transformadores de altas prestaciones (transformadores de pulsos y de alta frecuencia y alta potencia) así como en el comportamiento de convertidores MARX de alta tensión.

**Financiación: 246.161,00 Euros.**

Duración: Diciembre de 2021 – Diciembre de 2024.

---

Título: ComPutación distribuida e Interoperable para una inteLigencia Artificial en tiempo Real en Smart Factories (PILAR).

Resumen: Virtualizar dos áreas: 1) Los procesos de implantar y probar nuevas aplicaciones. Utilizar modelos digitales de las máquinas y procesos en lugar de los reales, a fin de probar sobre ellos los nuevos servicios y algoritmos antes de desplegarlos, evitando así pruebas y paradas costosas. 2) La infraestructura de procesamiento. Herramientas para emular equipos procesadores tradicionales, ejecutando el código de varios PLC virtuales en un solo nodo de computación. Así, aceleran el desarrollo, abaratan los cambios de escala y permiten introducir algoritmos y técnicas de control avanzados.

Empresa: System-on-Chip engineering S.L

**Financiación: 319.172,00 Euros.**

Duración: Mayo de 2020 – Octubre de 2022.

---

Título: TSNbone: Circuitos electrónicos integrados para las comunicaciones industriales de nueva generación.

Resumen: Obtener productos diferenciales para las redes de comunicación industriales de nueva generación TSN -Time Sensitive Networking.

Empresa: System on Chip Engineering S. L.

**Financiación: 45.000,00 Euros.**

Duración: Marzo de 2019 – Diciembre de 2020.

---

Título: TAHAN: Time Aware High Availability Networking for Smart Grids.

Resumen: El proyecto busca el desarrollo de una plataforma de computación innovadora que confiera a los equipos de control capacidades de comunicación:

Eficiencia en términos de potencia de computación y, por tanto, en términos de generación de energía en forma de calor. Redundancia, mediante la implementación de protocolos que permitan aumentar la disponibilidad de la comunicación y la del sistema en su conjunto.

Sincronización, combinadas con los anteriores protocolos de redundancia.

Seguridad, como uno de los requisitos cada vez más importantes en las diferentes capas de las redes inteligente.

Empresa: System on Chip Engineering S. L.

**Financiación: 25.000,00 Euros.**

Duración: Febrero 2019 – Mayo 2019.

---

Título: NEWCAUTO: Desarrollo de producto y proceso de componentes de automoción de nueva generación.

Resumen: Desarrollar un prototipo electrónico para adquirir datos a alta velocidad. Desarrollar la herramienta de carga de microsistemas en una FPGA mediante reconfiguración parcial dinámica

Empresa: System on Chip Engineering S. L.

**Financiación: 83948,56 Euros.**

Duración: Diciembre 2017 - Diciembre 2019.

---



Título: CYBER-SECURE CPPS Gateway.

Resumen: El presente proyecto se circunscribe a los Cyber-Secure CPPS Gateway. Para ello se partirá de una FPGA de última generación de la casa Xilinx que será la plataforma base del equipo. En concreto, se trata de la familia Zynq de Xilinx; la cual, además de una parte importante de lógica programable (PL- Programmable Logic-) integra un doble núcleo procesador ARM (PS-Processing System-). Esta dualidad “procesador- FPGA” va a aportar un grandísimo valor añadido en este caso concreto, dado que permite flexibilizar y extender las funcionalidades propias del software a través de unidades de aceleración y co-procesamiento implementadas en la parte de lógica programable. Este concepto se conoce como SoC- System on chip-, dado que toda la funcionalidad nuclear de un equipo se puede implementar en un único chip (la familia Zynq de Xilinx, en este caso).

Empresa: System on Chip Engineering S. L.

**Financiación: 16.250 Euros.**

Duración: Noviembre 2017 - Diciembre 2018.

---

Título: CYBERSAS-Cybersecure redbox para sistemas de automatización de subestaciones.

Resumen: Crear una arquitectura SoPC -System on Programmable Chip- basada en FPGA, capaz de encriptar en tiempo real según AES-GCM. Deberá considerar todas las condiciones de caudal (tipo, formato y flujo de tramas) que establece la norma IES 61850-90-5.

Empresa: System on Chip Engineering S. L.

**Financiación: 15.000 Euros.**

Duración: Noviembre 2017 - Diciembre 2018.

---

Título: CIEN-CARES: Desarrollo de bienes de equipo avanzados para la cadena de valor manufacturera basados en nuevos conceptos para la ayuda a la toma de decisiones orientada a la generación de servicios de alto valor añadido para la recuperación de la competitividad de la industria española.

Tipo de contrato: Art. 83 LOU

Resumen: Movimientos como Industrie 4.0 (Alemania) y Cyber physical Systems – CPS (EEUU) están generando una ola de proyectos orientados a la solución de espacios de conocimiento no resueltos de forma operativa, con tecnologías ya existentes aplicadas satisfactoriamente en otros Sectores.

Oportunidades emergentes en campos como la computación en la nube, ingeniería del conocimiento, arquitecturas orientadas a servicios, o la explotación masiva de datos (Big Data), etc. van a generar nuevas formas de entender el negocio en donde la información enriquecida será el valor diferencial para la inversión en medios productivos. El desarrollo de nuevas formas de entender las infraestructuras productivas, basadas en una mejor utilización y explotación de los datos y en la generación de servicios avanzados, será la clave de competitividad de las empresas españolas para la generación de productos smart.

La complementariedad y sinergias tecnológicas obtenidas por la fusión de las tres áreas de conocimiento convierten al proyecto CARES en un conjunto de herramientas, mecanismos y soluciones que, juntas, permitirán dar cobertura a las necesidades actuales de utilización de datos durante la toma de decisiones.

Empresa: System on Chip Engineering S. L.

**Financiación: 75.000 Euros.**

Duración: Abril de 2015 – Mayo de 2019.

---

Título: CPPS GATEWAY. Desarrollo de un novedoso gateway inteligente que garantice la seguridad para la integración de Cyber-Physical Production Systems (CPPS) en la Industria del Futuro.

Tipo de contrato: Art. 83 LOU

Resumen: El presente proyecto se circunscribe a los Cyber-Secure CPPS Gateway. Para ello se partirá de una FPGA de última generación de la casa Xilinx que será la plataforma base del equipo. En concreto, se trata de la familia Zynq de Xilinx; la cual, además de una parte importante de lógica programable integra un doble núcleo procesador ARM. Esta dualidad “procesador- FPGA” va a aportar un grandísimo valor añadido en este caso concreto, dado que permite flexibilizar y extender las funcionalidades propias del software a través de unidades de aceleración y co-procesamiento implementadas en la parte de lógica programable.

Empresa: System on Chip Engineering S. L.

**Financiación: 20.250 Euros.**

Duración: Diciembre de 2016 – Diciembre de 2017.

---

---

Título: PCIe Industry 4.0. Tarjeta de red inteligente PCIe para comunicaciones redundantes sincronizadas y ciberseguras.

Tipo de contrato: Art. 83 LOU

Resumen: El presente proyecto tiene como objetivo desarrollar una tarjeta PCIe, compatible con la arquitectura PC, que aglutine fundamentalmente la siguientes funcionalidades/características: Redundancia (HSR/PRP), Sincronización (1588 e IRIG-B), Ciberseguridad, Compatibilidad con el estándar PCI-express, Compatibilidad con múltiples Sistemas Operativos, Ecosistema SW asociado

Empresa: System on Chip Engineering S. L.

**Financiación: 12.000 Euros.**

Duración: Diciembre de 2016 – Diciembre de 2017.

---

Título: CRYPTOGRID, Investigación en Arquitecturas Reconfigurables para Cyber-Seguridad en la Smart Grid (Fase II)

Tipo de contrato: Art. 83 LOU

Resumen: El objetivo principal de este proyecto es el desarrollo de una tecnología que aúne los requisitos de Tiempo Real, Safety y Cyber-security y que pueda ser implementada en dispositivos electrónicos tipo FPGA.

Empresa: System on Chip Engineering S. L.

**Financiación: 18.000 Euros.**

Duración: Diciembre de 2015 – Diciembre de 2016.

---

Título: GRIC - Gateway con comunicación redundante para redes inteligentes (Fase II).

Tipo de contrato: Art. 83 LOU

Resumen: El principal objetivo del proyecto está enfocado a actualizar las comunicaciones en las instalaciones eléctricas y más en concreto en las subestaciones eléctricas donde la gran parte de ellas disponen de comunicaciones básicas con comunicación serie y protocolos básicos como el Modbus.

Empresa: System on Chip Engineering S. L.

**Financiación: 25.000 Euros.**

Duración: Diciembre de 2015 – Diciembre de 2016.

---

Título: Interfaz sensórica para Cyber-Physical-Production-System (ISCPPS)

Tipo de contrato: Art. 83 LOU

Resumen: El proyecto propuesto aborda la problemática de incluir interfaces para sensórica a un Cyber-Physical-Production-System (CPPS) orientado al Sector Industrial.

Empresa: System on Chip Engineering S. L.

**Financiación: 17.800 Euros.**

Duración: Diciembre de 2015 – Diciembre de 2016.

---

Título: Desarrollo de una plataforma para la integración de Cyber-Physical Production Systems y la explotación inteligente de la información y el conocimiento para manufactura avanzada (CPPS).

Tipo de contrato: Art. 83 LOU

Resumen: En este proyecto se pretende desarrollar un hardware de tipo Cyber-Physical Production Systems (CPPS), adecuado para ser empleado en infraestructuras de la nueva Industria 4.0.

Empresa: System on Chip Engineering S. L.

**Financiación: 37.000 Euros.**

Duración: Noviembre de 2014 – Diciembre de 2017.

---

Título: Asesoramiento técnico para desarrollo de equipo sincronizador Grand-Master 1588 (PTP) basado en tecnología FPGA

Tipo de contrato: Art. 83 LOU

Resumen: El proyecto consiste en colaborar con la empresa SoC-e en el desarrollo de un equipo Grand-Master para la sincronización de comunicaciones sobre Ethernet empleando el estándar PTP IEEE 1588 bajo tecnología FPGA.

Empresa: System on Chip Engineering S. L.

**Financiación: 22.500 Euros.**

Duración: Abril de 2014 – Enero de 2015.

---

Título: FPGA based sub-microsecond synchronization for power over ethernet relay.

Tipo de contrato: Art. 83 LOU

Resumen: El objetivo de este proyecto es el desarrollo de un sistema de sincronización basado en FPGAs para equipo de protección, control y comunicación alimentada a través del canal de comunicación. Esta tecnología permitirá eliminar la fuente de alimentación del equipo, lo que simplifica y abarata el mismo.

Empresa: System on Chip Engineering S. L.

**Financiación: 30.030,00 Euros.**

Duración: Junio de 2012 – Diciembre de 2012.

---

Título: Research on Reconfigurable Devices.

Tipo de contrato: Art. 83 LOU

Resumen: El proyecto consiste en realizar un análisis del estado del arte de las soluciones en lógica reconfigurable que mejor encajen en las necesidades de la empresa así como estudiar la viabilidad de utilización de plataformas SoPC por parte de SoC-e y evaluar los dispositivos reconfigurables para su uso como unidades reactivas en sistemas tolerantes a fallos.

Empresa: System on Chip Engineering S. L.

**Financiación: 50.000,00 Euros.**

Duración: Septiembre de 2011 - Septiembre de 2012.

---

Título: Asesoría Técnica en Sistemas Autónomos Tolerantes a Fallos Basados en FPGAs (Fase I)

Tipo de contrato: Art. 83 LOU

Resumen: El objetivo de este proyecto ha sido el de asesorar técnicamente a la empresa System-on-Chip engineering S.L. (SoC-e) sobre las arquitecturas más adecuadas y robustas para la implementación de los nuevos productos de SoC-e en sus líneas de negocio "Industrial" y "Rugged".

Empresa: System on Chip Engineering S. L.

**Financiación: 8.000,00 Euros.**

Duración: Marzo de 2011 - Agosto de 2011.

---

Título del contrato/proyecto: Investigación en nuevos circuitos de control y potencia para convertidores de energía

Tipo de contrato: Art. 83 LOU

Empresa/Administración financiadora: Fundación ROBOTIKER

Entidades participantes: UPV/EHU, Robotiker

Duración, desde: Mayo 2010 hasta: Mayo 2013

Investigador responsable: José Luis Martín

Número de investigadores participantes: 10

**PRECIO TOTAL DEL PROYECTO: 74.103,70 Euros**

---

Título del contrato/proyecto: Desarrollo de un Sistema Electrónico de Visualización y un Sistema Electrónico de Control Central para Aplicaciones Domóticas

Tipo de contrato: Art. 83 LOU

Empresa/Administración financiadora: DINITEL

Entidades participantes: UPV/EHU

Duración, desde: Mayo 2009 hasta: Diciembre 2010

Investigador responsable: Armando Astarloa

---

Número de investigadores participantes: 7  
**PRECIO TOTAL DEL PROYECTO: 25.000,00 Euros**

---

Título del contrato/proyecto: Investigación Aplicada en Electrónica asociada a las Energías Renovables  
Tipo de contrato: Art. 83 LOU  
Empresa/Administración financiadora: Fundación ROBOTIKER.  
Entidades participantes: UPV/EHU, Robotiker  
Duración, desde: Marzo 2007 hasta: Febrero 2010  
Investigador responsable: José Luis Martín  
Número de investigadores participantes: 11  
**PRECIO TOTAL DEL PROYECTO: 87.360,00 Euros**

---

Título del contrato/proyecto: BANITS2: Broadband Access Networks Integrated Telecommunication System 2 – Módulo PBT.  
Tipo de contrato: Art. 83 LOU  
Empresa/Administración financiadora: Fundación ROBOTIKER  
Entidades participantes: UPV/EHU, Robotiker  
Duración, desde: Marzo 2008 hasta: Septiembre 2008  
Investigador responsable: José Luis Martín  
Número de investigadores participantes: 7  
**PRECIO TOTAL DEL PROYECTO: 21.840,00 Euros**

---

Título: Sistema de Captación y Medida Inalámbrica de Señales de la Líneas de Distribución.  
Entidad financiadora: Gobierno Vasco (programa INTEK).  
Entidades participantes: Fanox, Kementsu, Universidad del País Vasco (UPV/EHU)  
Duración, desde: Diciembre 2004 hasta: Diciembre 2005  
Investigador responsable: En UPV/EHU José Luis Martín González y Javier Mazón  
Número de investigadores participantes: 9 (en UPV/EHU)  
**PRECIO TOTAL DEL PROYECTO: 31.432,00 Euros**

---

Título: Detector electrónico de paso de falta, con sistema de medida inalámbrica y comunicación SMS/GPRS.  
Entidad financiadora: Gobierno Vasco (programa INTEK).  
Entidades participantes: Fanox, Kementsu, Universidad del País Vasco (UPV/EHU)  
Duración, desde: Diciembre 2003 hasta: Diciembre 2004  
Investigador responsable: En UPV/EHU José Luis Martín González y Javier Mazón  
Número de investigadores participantes: 7 (en UPV/EHU)  
**PRECIO TOTAL DEL PROYECTO: 19.917,00,00 Euros**

---

Título del contrato/proyecto: Sistema de Control y Sistema de potencia para impresora térmica de alta velocidad  
Tipo de contrato: Art. 11 LRU  
Empresa/Administración financiadora: DIBAL. S.A.  
Entidades participantes: DIBAL S.A.  
Duración, desde: Marzo de 2002 hasta: Diciembre de 2002  
Investigador responsable: Armando Astarloa  
Número de investigadores participantes: 4  
**PRECIO TOTAL DEL PROYECTO: 41.342,56 Euros.**

---

Título del contrato/proyecto: DSP-Based Board for Control in Jaw Crushers for Mining  
Tipo de contrato: Art. 11 LRU  
Empresa/Administración financiadora: LARON, S. A. a través del programa FUSE de la CE.  
Entidades participantes: Universidad del País Vasco, LARON, S.A.

Duración, desde: Septiembre 1999                      hasta: Mayo 2000  
Investigador responsable: José Luis Martín.  
Número de investigadores participantes: 6  
**PRECIO TOTAL DEL PROYECTO: 39.900 Euros (6.638.800 ptas.)**

---

## Patentes y Modelos de utilidad

---

Inventores (p.o. de firma): U. Bidarte, A. Astarloa, J. Lázaro y A. Zuloaga  
Título: Generador de números realmente aleatorios  
Nº de registro: P200702299  
N. de patente: ES 2326718 País de prioridad: España  
Fecha de presentación: 17/08/2007  
Fecha de publicación de la solicitud: 16/10/2009  
Fecha de la concesión: 1/7/2010  
Fecha de publicación de la patente en el B.O.P.I.: 14 de Julio de 2010  
Entidad titular: Universidad del País Vasco.  
Países a los que se ha extendido: España  
Empresa/s que la están explotando:

---

Inventores (p.o. de firma): Jon Andreu, José Luis Martín, Iñigo Kortabarria, Edorta Ibarra, Unai Bidarte, Iñigo Martínez de Alegría, Pedro Ibañez.  
Título: Convertidor matricial  
Nº de registro: P200802909  
N. de patente: ES 2341693 País de prioridad: España  
Fecha de presentación: 15 de Octubre de 2008  
Fecha de publicación de la solicitud: 24 de junio 2010  
Fecha de la concesión: 4 de mayo de 2011  
Fecha de publicación de la patente en el B.O.P.I.: 16 de mayo de 2011  
Entidad titular: UPV/EHU, Fundación Robotiker  
Países a los que se ha extendido: España  
Empresa/s que la están explotando:

---

Inventores (p.o. de firma): J. Lazaro, A. Astarloa, U. Bidarte y A. Zuloaga.  
Título: Sistema Votador  
Nº de registro: P201031492  
N. de patente: ES2379239B1 País de prioridad: España  
Fecha de presentación: 7 de Octubre de 2010  
Fecha de publicación de la solicitud: 24 de abril 2012  
Fecha de la concesión: 4 de abril de 2013  
Fecha de publicación de la patente en el B.O.P.I.: 16 de abril de 2013  
Entidad titular: UPV/EHU  
Países a los que se ha extendido: España  
Empresa/s que la están explotando:

---

**Estancias en Centros extranjeros**  
**(estancias continuadas superiores a un mes)**

CLAVE: D = doctorado, P = postdoctoral, I = invitado, C = contratado, O = otras (especificar).

---

Centro: Ecole Supérieure des Technologies Industrielles Avancées (ESTIA), Laboratoire en Ingénierie des Processus et des Services Industriels (LIPSI)

Localidad: Bidart

País: Francia

Fecha: Octubre 2007 – Enero 2008 Duración (semanas): 16

Tema: Aplicación del control de convertidores de energía basado en FPGAs desarrollado por el grupo APERT a la plataforma energética del grupo EneR-GEA de la ESTIA

Clave: I

---

## Contribuciones a Congresos

### PUBLICACIONES DE TRABAJOS PRESENTADOS A CONGRESOS INTERNACIONALES (PROCEEDINGS)

---

Autores: S. Alonso, J. Lázaro, J. Jiménez, L. Muguira, U. Bidarte  
Título: The influence of virtualization on real-time systems' interrupts in embedded SoC platforms.  
Tipo de participación: Comunicación  
Congreso: XXXVII Conference on Design of Circuits and Integrated Systems (DCIS 2022).  
Publicación: actas del congreso ISBN 978-1-6654-5950-1  
Ciudad: Pamplona      País: España      Año: 2022

---

Autores: S. Alonso, J. Lázaro, J. Jiménez, L. Muguira, U. Bidarte  
Título: Evaluating the OpenAMP framework in real-time embedded SoC platforms.  
Tipo de participación: Comunicación  
Congreso: XXXVI Conference on Design of Circuits and Integrated Systems (DCIS 2021).  
Publicación: actas del congreso ISBN 978-1-6654-2116-4  
Ciudad: Oporto      País: Portugal      Año: 2021

---

Autores: C. Cuadrado, I. Kortabarria, J. Lázaro, U. Bidarte, J. Jiménez  
Título: Fast and efficient FPGA prototype system for embedded control algorithms in electric traction.  
Tipo de participación: Comunicación  
Congreso: XXXIV Conference on Design of Circuits and Integrated Systems (DCIS 2019).  
Publicación: actas del congreso ISBN 978-84-09-17431-7  
Ciudad: Bilbao      País: España      Año: 2019

---

Autores: M. Rodríguez, A. Astarloa, J. Lázaro, U. Bidarte, J. Jiménez  
Título: System-on-Programmable-Chip AES-GCM implementation for wire-speed cryptography for SAS.  
Tipo de participación: Comunicación  
Congreso: XXXIII Conference on Design of Circuits and Integrated Systems (DCIS 2018).  
Publicación: actas del congreso  
Ciudad: Lyon      País: Francia      Año: 2018

---

Autores: E. Montero, J. Lázaro, U. Bidarte, J. Jiménez  
Título: Using Dynamic Partial Reconfiguration to address the BRAM contents in an FPGA so as to gain a new access port in high-speed applications.  
Tipo de participación: Comunicación  
Congreso: XXXIII Conference on Design of Circuits and Integrated Systems (DCIS 2018).  
Publicación: actas del congreso  
Ciudad: Lyon      País: Francia      Año: 2018

---

Autores: J. Jiménez, U. Bidarte, C. Cuadrado, A. Zuloaga, J. Lázaro  
Título: CPPS-Gate40 Sensor: an Intelligent Gateway for Smart Factories.  
Tipo de participación: Comunicación  
Congreso: XXXII Conference on Design of Circuits and Integrated Systems (DCIS 2017).  
Publicación: actas del congreso ISBN: 9781538651094  
Ciudad: Barcelona      País: España      Año: 2017

---



---

Autores: I. Villalta, U. Bidarte, J. Gómez-Cornejo, A. Zuloaga, C. Cuadrado

Título: Emulation of Multiple Cell Upsets in FPGAs.

Tipo de participación: Comunicación

Congreso: XXXII Conference on Design of Circuits and Integrated Systems (DCIS 2017).

Publicación: actas del congreso ISBN: 9781538651094

Ciudad: Barcelona

País: España

Año: 2017

---

Autores: I. Villalta, U. Bidarte, J. Gómez-Cornejo, J. Jiménez, C. Cuadrado

Título: Effect of Different Design Stages on the SEU Failure Rate of FPGA systems.

Tipo de participación: Comunicación

Congreso: XXXI Conference on Design of Circuits and Integrated Systems (DCIS 2016).

Publicación: actas del congreso ISBN: 978-1-5090-4565-5/16

Ciudad: Granada

País: España

Año: 2016

---

Autores: J. Jiménez, U. Bidarte, C. Cuadrado, E. Garcia, J. Lázaro

Título: SafeSoC: a Fault-Tolerant-by-Redundancy Evaluation Card for High Speed Serial Communications.

Tipo de participación: Comunicación

Congreso: XXXI Conference on Design of Circuits and Integrated Systems (DCIS 2016).

Publicación: actas del congreso ISBN: 978-1-5090-4565-5/16

Ciudad: Granada

País: España

Año: 2016

---

Autores: A. Astarloa, U. Bidarte, J. Jiménez, A. Zuloaga, J. Lázaro

Título: Intelligent gateway for Industry 4.0-compliant production lines.

Tipo de participación: Comunicación

Congreso: .42nd Annual Conference of the IEEE Industrial Electronics Society (IECON 2016)

Publicación: actas del congreso ISBN: 978-1-5090-3474-1

Ciudad: Florencia

País: Italia

Año: 2016

---

Autores: A. Astarloa, N. Moreira, M. Urbina, U. Bidarte, D. Modroño

Título: Sub-microsecond Synchronization of Cyber-Physical Production Systems on High-Availability Rings Networks.

Tipo de participación: Comunicación

Congreso: 2015 IEEE International Conference on ReConFigurable Computing and FPGAs (RECONFIG 2015).

Publicación: actas del congreso ISBN: 978-1-4673-9406-2

Ciudad: Cancún

País: México

Año: 2015

---

Autores: I. Villalta, U. Bidarte, J. Lázaro, J. Gómez-Cornejo, C. Cuadrado

Título: Dependability in FPGAs, a Review.

Tipo de participación: Comunicación

Congreso: XXX Conference on Design of Circuits and Integrated Systems (DCIS 2015).

Publicación: actas del congreso ISBN: 978-1-4673-7228-2/15

Ciudad: Estoril

País: Portugal

Año: 2015

Entidad Organizadora: INESC-ID: Instituto de Engenharia de Sistemas e Computadores, Investigação e Desenvolvimento em Lisboa

---

Autores: I. Villalta, U. Bidarte, G. Santos, A. Matallana, J. Jiménez

Título: Fault Injection System for SEU Emulation in Zynq SoCs.

Tipo de participación: Comunicación

Congreso: XXIX Conference on Design of Circuits and Integrated Systems (DCIS 2014).

Publicación: actas del congreso ISBN: 978-1-4799-5743-9/14  
Ciudad: Madrid País: España  
Entidad Organizadora: Universidad Politécnica de Madrid

Año: 2014

---

Autores: A. Astarloa, J. Lazaro, U. Bidarte, J.A. Araujo and N. Moreira  
Título: FPGA Implemented Cut-Through vs Store-and-Forward Switches for Reliable Ethernet Networks.  
Tipo de participación: Comunicación  
Congreso: XXIX Conference on Design of Circuits and Integrated Systems (DCIS 2014).  
Publicación: actas del congreso ISBN: 978-1-4799-5743-9/14  
Ciudad: Madrid País: España  
Entidad Organizadora: Universidad Politécnica de Madrid

Año: 2014

---

Autores: I. Villalta, U. Bidarte, U. Kretzschmar, A. Astarloa and J. Lázaro  
Título: Fast and Accurate SEU-Tolerance Characterization Method for ZYNQ SOCs.  
Tipo de participación: Comunicación  
Congreso: International Conference on Field-Programmable Logic and its Applications (FPL'14).  
Publicación: actas del congreso  
Ciudad: Munich País: Alemania  
Entidad Organizadora: Technical University of Munich

Año: 2014

---

Autores: J. Gomez-Cornejo, A. Zuloaga, U. Kretzschmar, U. Bidarte, J. Jimenez.  
Título: Study of Implementation Alternatives for a Lockstep Approach in FPGA Soft Core Processors.  
Congreso: XXVIII Design of Circuits and Integrated Systems Conference (DCIS 2013).  
Publicación: Proceedings of XXVIII DCIS 2013, págs. 499-500. ISBN: 978-84-8081-401-0.  
Ciudad: Donosti País: España Año: 2013

---

Autores: A. Zuloaga, A. Astarloa, J. Jiménez, J. Lázaro, U. Bidarte.  
Título: High-availability Seamless Redundancy for Train Ethernet Consist Network.  
Congreso: XXVIII Design of Circuits and Integrated Systems Conference (DCIS 2013).  
Publicación: Proceedings of XXVIII DCIS 2013, págs. 122-127. ISBN: 978-84-8081-401-0.  
Ciudad: Donosti País: España Año: 2013

---

Autores: J. Gomez-Cornejo, A. Zuloaga, U. Kretzschmar, U. Bidarte, J. Jimenez.  
Título: Fast Context Reloading Lockstep Approach for SEUs Mitigation in a FPGA Soft Core Processor.  
Congreso: 39th Annual Conference of the IEEE Industrial Electronics Society (IECON 2013)  
Publicación: Proceedings of IECON 2013, págs. 2259-2264. ISBN 978-1-4799-0223-1.  
Ciudad: Viena País: Austria Año: 2013

---

Autores: A. Astarloa, J. Lázaro, U. Bidarte, A Zuloaga, M. Idirin.  
Título: System-on-Chip Implementation of Reliable Ethernet Networks Nodes.  
Congreso: 39th Annual Conference of the IEEE Industrial Electronics Society (IECON 2013)  
Publicación: Proceedings of IECON 2013, págs. 2327-2332. ISBN 978-1-4799-0223-1.  
Ciudad: Viena País: Austria Año: 2013

---

Autores: U. kretzschmar, A. Astarloa, J. Lázaro, U. Bidarte, J. Jiménez  
Título: Reliability Emulations for configuration SEUs Using Different AES Architectures

Tipo de participación: Ponencia

Congreso: 2011 International Conference on ReConFigurable Computing and FPGAs (RECONFIG11)

Publicación: Proceedings of the RECONFIG 2011

Lugar de celebración: Cancún (Méjico) Fecha: 30 de Noviembre al 2 de Diciembre de 2011

---

Autores: A. Morillo, A. Astarloa, J. Lázaro, U. Bidarte, J. Jiménez.

Título: Known-Blocking. Synchronization method for reliable processor using TMR & DPR in SRAM FPGAs.

Tipo de participación: Ponencia

Congreso: VII Southern Programmable Logic Conference (SPL 2011).

Publicación: Proceedings of the 2011 VII Designer Forum, págs. 57-62. ISBN: 978-84-614-7682-4.

Ciudad: Córdoba

País: Argentina

Año: 2011

---

Autores: A. Astarloa, J. Lázaro, U. Bidarte, A. Zuloaga, M. Idirin.

Título: SoPC platform for real-time DVB-T modulator debugging.

Tipo de participación: Ponencia

Congreso: VII Southern Programmable Logic Conference (SPL 2011).

Publicación: Proceedings of the 2011 VII Designer Forum, págs. 67-72. ISBN: 978-84-614-7682-4.

Ciudad: Córdoba

País: Argentina

Año: 2011

---

Autores: J. Lázaro, A. Astarloa, A. Zuloaga, J. Jiménez, U. Bidarte, J.L. Martín.

Título: High reliability capture core for data acquisition in System on Programmable Chips.

Tipo de participación: Ponencia

Congreso: VII Southern Programmable Logic Conference (SPL 2011).

Publicación: Proceedings of the 2011 VII Designer Forum, págs. 73-78. ISBN: 978-84-614-7682-4.

Ciudad: Córdoba

País: Argentina

Año: 2011

---

Autores: O. Díaz, A. Zuloaga, A. Astarloa, J. Lázaro, U. Bidarte.

Título: NoCTMR: A novel Network-on-Chip architecture for fault tolerant systems.

Congreso: 26<sup>th</sup> Conference on Design of Circuits and Integrated Systems (DCIS 2011).

Tipo de participación: Ponencia

Publicación: Proceedings of DCIS 2011, págs. 161-166. ISBN 978-9729918131.

Ciudad: Albufeira

País: Portugal

Año: 2011

---

Autores: Unai Bidarte, Aitzol Zuloaga, Jaime Jiménez, Jesús Lázaro, Armando Astarloa

Título: A case study on Technology Transfer from University to Enterprises for System-on-Chip Design Innovation

Tipo de participación: Comunicación

Congreso: 2010 XXV Conference on Design of Circuits and Integrated Systems (DCIS'10)

Publicación: Proceedings of DCIS'10, págs. 305-310. ISBN 978-84-693-7393-4

Lugar de Celebración: Lanzarote (España) Fecha: 17 al 19 de Noviembre de 2010

---

Autores: Armando Astarloa, Unai Bidarte, Jesús Lázaro, Jaime Jiménez and Aitzol Zuloaga

Título: A FPGA based platform for Autonomous Fault Tolerant Systems

Tipo de participación: Comunicación

Congreso: 2010 XXV Conference on Design of Circuits and Integrated Systems (DCIS'10)

Publicación: Proceedings of DCIS'10, págs. 234-239. ISBN 978-84-693-7393-4

Lugar de Celebración: Lanzarote (España) Fecha: 17 al 19 de Noviembre de 2010

---

Autores: A. Madariaga, J. Jiménez, J. L. Martín, U. Bidarte, A. Zuloaga

Título: Review of Electronic Design Automation Tools for High-Level Synthesis

Tipo de participación: Comunicación

Congreso: 2010 International Conference on Applied Electronics 2010 (AE'10)

Publicación: Proceedings of AE'10, págs. 203-208. ISBN 978-80-7043-865-7

Lugar de Celebración: Pilsen (Chequia) Fecha: 8 al 9 de Septiembre de 2010

---

Autores: A. Morillo, A. Astarloa, J. Lázaro, U. Bidarte, J. Jiménez

Título: Reliable Microprocessors for FPGAs: State of the Art and Trends

Tipo de participación: Ponencia

Congreso: Applied Electronics 2010

Publicación: Proceedings of the AE 2010, págs. 225-230. ISBN 978-80-7043-865-7

Lugar de celebración: Pilsen (Chequia) Fecha: 8 al 9 de Septiembre de 2010

---

Autores: A. Astarloa, J. Lázaro, U. Bidarte, A. Zuloaga, J. Jiménez

Título: PCIREX: A Fast Prototyping Platform for TMR Dynamically Reconfigurable Systems

Tipo de participación: Comunicación

Congreso: 2009 International Conference on ReConFigurable Computing and FPGAs (ReConFig'09)

Publicación: Proceedings of the ReConFig'09, págs. 54-59. ISBN-13: 978-0-7695-3917-1

Lugar de Celebración: Cancún (México)

Fecha: 9 al 11 de Diciembre de 2009

---

Autores: T. Dorta, J. Jiménez, J. L. Martín, U. Bidarte, A. Astarloa

Título: Overview of FPGA-Based Multiprocessor Systems

Tipo de participación: Comunicación

Congreso: 2009 International Conference on ReConFigurable Computing and FPGAs (ReConFig'09)

Publicación: Proceedings of the ReConFig'09, págs. 273-279. ISBN-13: 978-0-7695-3917-1

Lugar de Celebración: Cancún (México)

Fecha: 9 al 11 de Diciembre de 2009

---

Autores: A. Astarloa, J. Lázaro, U. Bidarte, A. Zuloaga y J. Jiménez

Título: DNAX-BCU: Anun-clonable cost-conscious SoPC implementation for Bus Coupling Units of the European Installation Bus

Tipo de participación: Ponencia

Congreso: 2009 The Second International Workshop on Specialized Ad Hoc Networks and Systems (29th IEEE International Conference on Distributed Computing Systems Workshops)

Publicación: Proceedings of ICDCSW09

ISBN: 1545-0678/09

Lugar de Celebración: Montreal (Canada)

Fecha: Junio de 2009

---

Autores: J. Lázaro, A. Astarloa, U. Bidarte, A. Zuloaga y Jaime Jiménez

Título: CRYx-BCU: A security oriented cost-conscious SoPC implementation for Bus Coupling Units of the European Installation Bus

Tipo de participación: Ponencia

Congreso: Applied Electronics 2009

Publicación: Proceedings of AE09, págs.173-176. ISBN: 978-80-7043-781-0; IEEE Catalog Number CFP0969A-PRT; IEEE-Xplorer

Lugar de Celebración: Pilsen (Chequia) Fecha: Septiembre de 2009

---

Autores: A. Astarloa, U. Bidarte, J. Dooley, A. Cannif y R. Farrell

Título: SPALink: A Flexible Bitstream Link for Class S-Power Amplifiers

Tipo de participación: Ponencia  
Congreso: Applied Electronics 2009  
Publicación: Proceedings of AE09, págs. 31-36. ISBN: 978-80-7043-781-0; IEEE Catalog Number CFP0969A-PRT; IEEE-Xplorer  
Lugar de Celebración: Pilsen (Chequia) Fecha: Septiembre de 2009

---

Autores: Armando Astarloa, Unai Bidarte, Jesús Lázaro, Jon Andreu, Jose Luis Martín  
Título: Configurable-System-on-Programmable-Chip for Power Electronics Control Applications  
Tipo de participación: Comunicación  
Congreso: International Conference on ReConFigurable Computing and FPGAs (RECONFIG 2008)  
Publicación: Proceedings of RECONFIG 2008  
Lugar de celebración: Cancún (Mexico) Fecha: Diciembre de 2008

---

Autores: M<sup>a</sup> Teresa Sierra, Jaime Jiménez, Unai Bidarte, José Ignacio Gárate, Jon Andreu  
Título: Review of Basic Guidelines when Designing Mixed PCBs for SI and EMI  
Tipo de participación: Comunicación  
Congreso: 34<sup>th</sup> Annual Conference of the IEEE Industrial Electronics Society (IECON 2008)  
Publicación: Proceedings of IECON 2008  
Lugar de celebración: Orlando (EEUU) Fecha: Noviembre de 2008

---

Autores: Jesús Lázaro, Sandra Abejón Morales, Armando Astarloa, Fernando Chamorro, Unai Bidarte  
Título: SoPC Implementation of the TP-KNX Protocol for Domotic Applications  
Tipo de participación: Comunicación  
Congreso: International Conference on Advances in Electronics and Micro-electronics (ENICS 2008)  
Publicación: Proceedings of ENICS 2008  
Lugar de celebración: Valencia (España) Fecha: Octubre de 2008

---

Autores: Álvaro Llaría, Octavian Curea, Jaime Jiménez, Unai Bidarte  
Título: Review of methods for a Hybrid Energy System islanding efficient management  
Tipo de participación: Comunicación  
Congreso: International Conference on Renewable Energies (ICREPQ 2008)  
Publicación: Proceedings of ICREPQ 2008 ISBN 978-84-611-9290-8  
Lugar de celebración: Santander (España) Fecha: Marzo de 2008

---

Autores: Alvaro Llaría, Jaime Jimenez, Unai Bidarte, Octavian Curea  
Título: Operational Amplifiers in Discrete Time Control Systems: Influence of the Rail-to-Rail Feature on their Performance  
Tipo de participación: Comunicación  
Congreso: 6th WSEAS International Conference on Computational Intelligence, Man-Machine Systems and Cybernetics (CIMMACS '07)  
Publicación: Proceedings of WSEAS CIMMACS 2007  
Lugar de celebración: Tenerife (España) Fecha: Diciembre 2007

---

Autores: Jesús Lázaro, Jagoba Arias, Armando Astarloa, Unai Bidarte, Aitzol Zuloaga  
Título: Decompression dual core for SoPC applications in high speed FPGA  
Tipo de participación: Comunicación  
Congreso: The 33nd Annual Conference of the IEEE Industrial Electronics Society (IECON 2007)  
Publicación: Proceedings of IECON 2007 ISBN 1-4244-0783-4  
Lugar de celebración: Taipei (Taiwan) Fecha: Noviembre de 2007

---

Autores: Armando Astarloa, Unai Bidarte, Jesús Lázaro, Jagoba Arias, Ekaitz Olaguenaga  
Título: OSCRYB: Open Source CRYpto-Bridge for Secure Ethernet point-to-point Industrial Communications  
Tipo de participación: Comunicación  
Congreso: The 33rd Annual Conference of the IEEE Industrial Electronics Society (IECON 2007)  
Publicación: Proceedings of IECON 2007 ISBN 1-4244-0783-4  
Lugar de celebración: Taipei (Taiwan) Fecha: Noviembre de 2007

---

Autores: Jon Andreu, Iñigo Martínez de Alegría, Iñigo Kortabarria, Unai Bidarte, Salvador Ceballos  
Título: Matrix Converter Active and Passive Protection Strategy Considerations  
Tipo de participación: Comunicación  
Congreso: The 6th WSEAS/IASME International Conference on Electric Power Systems, High Voltages, Electric Machines (POWER'06)  
Publicación: Proceedings of the WSEAS/IASME POWER 2006 ISBN 960-8457-57-2  
Lugar de Celebración: Tenerife (España) Fecha: 16 al 18 de Diciembre de 2006

---

Autores: J. Andreu, U. Bidarte, J. L. Martín, A. Astarloa, J. Jiménez  
Título: FPGA Implementation and System-Level Validation of Matrix Converter Space Vector Modulation Algorithm  
Tipo de participación: Comunicación  
Congreso: The 6th WSEAS/IASME International Conference on Electric Power Systems, High Voltages, Electric Machines (POWER'06)  
Publicación: Proceedings of the WSEAS/IASME POWER 2006 ISBN 960-8457-57-2  
Lugar de Celebración: Tenerife (España) Fecha: 16 al 18 de Diciembre de 2006

---

Autores: Astarloa, A; Sáiz, P.; Lázaro, J.; Jacob, E.; Bidarte, U.  
Título: Multi-architectural 128 bit AES-CBC Core based on Open-Source Hardware AES Implementations for Secure Industrial Communications  
Tipo de participación: Comunicación Oral  
Congreso: International Conference on Communication Technology (ICCT'2006).  
Publicación: Proceedings of the ICCT'2006 ISBN 1-4244-0801-6  
Lugar celebración: Guilin, China.  
Fecha: Noviembre 2006

---

Autores: J. Arias, J. Lázaro, A. Astarloa, J. Jiménez, U. Bidarte  
Título: Architecture of a Real-Time Wavelet Transform Calculation SoPC Core for Industrial Applications  
Tipo de participación: Comunicación  
Congreso: 32nd International Conference on Industrial Electronics, Control and Instrumentation (IECON'06)  
Publicación: Proceedings of the IECON'06 ISBN 1-4244-0136-4  
Lugar de Celebración: París (Francia) Fecha: 7-10 de noviembre de 2006

---

Autores: A. Astarloa, J. Lázaro, U. Bidarte, J. Jiménez, J. Arias  
Título: Run-Time Reconfigurable Hardware-Software Architecture for PID Motor Control IP Cores  
Tipo de participación: Comunicación  
Congreso: 32nd International Conference on Industrial Electronics, Control and Instrumentation (IECON'06)  
Publicación: Proceedings of the IECON'06 ISBN 1-4244-0136-4  
Lugar de Celebración: París (Francia) Fecha: 7-10 de noviembre de 2006

---

Autores: Jesus Lazaro, Armando Astarloa, Jagoba Arias, Unai Bidarte, Aitzol Zuloaga  
Título: Simulink/Modelsim Simulable VHDL PID Core for Industrial SoPC Multiaxis Controllers  
Tipo de participación: Comunicación  
Congreso: 32nd International Conference on Industrial Electronics, Control and Instrumentation (IECON'06)  
Publicación: Proceedings of the IECON'06 ISBN 1-4244-0136-4

Lugar de Celebración: París (Francia) Fecha: 7-10 de noviembre de 2006

---

Autores: J. Jiménez, J. L. Martín, J. Arias, U. Bidarte, A. Astarloa  
Título: TCN (Train Communication Network) gateway for simulation  
Tipo de participación: Comunicación  
Congreso: 4th WSEAS International Conference on Electronics, Hardware, Wireless & Optical Communications (EHAC'05).  
Publicación: Proceedings of the EHAC'05. ISBN 960-8457-092.  
Lugar de Celebración: Salzburgo (Austria) Fecha: 13 al 15 de Febrero de 2005

---

Autores: Jesús Lázaro, Jagoba Arias, José L. Martín, Armando Astarloa, Unai Bidarte  
Título: A Tiny Microprocessor Floating Point Implementation of a General Regression Neural Network s  
Tipo de participación: Comunicación  
Congreso: 4th WSEAS International Conference on Electronics, Hardware, Wireless & Optical Communications (EHAC'05).  
Publicación: Proceedings of EHAC'05 ISBN 960-8457-092  
Lugar de celebración: Salzburgo (Austria) Fecha: 13-15 de febrero de 2005

---

Autores: U. Bidarte, A. Astarloa, J.L. Martín, J. Jiménez y C. Cuadrado  
Título: On the Performance of Three-State and Multiplexor Logic Interconnection for Shared Bus SoC Design.  
Tipo de participación: Comunicación  
Congreso: XIX Design of Circuits and Integrated Systems Conference (DCIS'04).  
Publicación: Proceedings of DCIS'04 ISBN 2-9522971-0-X  
Ciudad: Burdeos País: Francia Año: 2004  
Entidad Organizadora: ENSEIRB (The Graduate Engineering School in Electronics, Computer Science and Telecommunications of Bordeaux)

---

Autores: A. Astarloa, U. Bidarte, A. Zuloaga, J. Arias y J. Jiménez  
Título: Run-time Reconfigurable Hybrid Multiprocessor Cores.  
Tipo de participación: Comunicación  
Congreso: 2004 IEEE International Conference on Industrial Technology (ICIT04).  
Publicación: Proceedings of ICIT'04 ISBN 0-7803-8663-9.  
Ciudad: Hamammet País: Tunez Año: 2004  
Entidad Organizadora: IEEE

---

Autores: A. Astarloa, J. Lázaro, U. Bidarte, J. L. Martín y A. Zuloaga  
Título: A Self-reconfiguration Framework for Multiprocessor CSoPCs.  
Tipo de participación: Comunicación  
Congreso: International Conference on Field-Programmable Logic and its Applications (FPL'04).  
Publicación: Proceedings of the FPL'04 ISBN 3-540-22989-2  
Ciudad: Amberes País: Bélgica Año: 2004  
Entidad Organizadora: IMEC (Interuniversity MicroElectronics Center)

---

Autores: J. Lázaro, A. Astarloa, U. Bidarte, J. Arias y C. Cuadrado  
Título: High Throughput Serpent Encryption Implementation.  
Tipo de participación: Comunicación  
Congreso: International Conference on Field-Programmable Logic and its Applications (FPL'04).  
Publicación: Proceedings of the FPL'04 ISBN 3-540-22989-2  
Ciudad: Amberes País: Bélgica Año: 2004  
Entidad Organizadora: IMEC (Interuniversity MicroElectronics Center)

---

Autores: U. Bidarte, A. Astarloa, J.L. Martín y J. Andreu  
Título: Simulation Platform for Architectural Verification and Performance Analysis in Core-Based SoC Design.  
Tipo de participación: Comunicación  
Congreso: International Conference on Field-Programmable Logic and its Applications (FPL'04).  
Publicación: Proceedings of the FPL'04 ISBN 3-540-22989-2  
Ciudad: Amberes País: Bélgica Año: 2004  
Entidad Organizadora: IMEC (Interuniversity MicroElectronics Center)

---

Autores: A. Astarloa, J. Lázaro, J. Arias, U. Bidarte y A. Zuloaga  
Título: Co-simulation Virtual Platform for Reconfigurable Multiprocessor Hybrid Cores Development  
Tipo de participación: Ponencia  
Congreso: International Conference on Modeling, Simulation and Visualization Methods, MSV04  
Publicación: Proceedings of the MSV04. ISBN 1-932415-34-3.  
Lugar de celebración: Las Vegas  
(USA) Fecha: Junio de 2004

---

Autores: R. Sancho, U. Bidarte, A. Astarloa, C. Pérez y P. Ibáñez  
Título: SoPC Design Methodology and its Application to the HW-SW Codesign of an Image Server.  
Tipo de participación: Comunicación  
Congreso: XVIII Design of Circuits and Integrated Systems Conference (DCIS'03).  
Publicación: Proceedings of DCIS'03 ISBN 84-87087-40-X  
Ciudad: Ciudad Real País: España Año: 2003  
Entidad Organizadora: Univesidad de Castilla-La Mancha

---

Autores: A. Astarloa, U. Bidarte, A. Zuloaga y I. Mtz. De Alegría.  
Título: Reconfigurable Microstepping Control of Stepper Motors using FPGA embedded RAM.  
Tipo de participación: Comunicación  
Congreso: 29th International Conference on Industrial Electronics, Control and Instrumentation (IECON-2003).  
Publicación: Proceedings of IECON'03 ISBN 0-7803-7907-1  
Ciudad: Roanoke País: USA Año: 2003  
Entidad Organizadora: University of Virginia (IEEE Industrial Electronics Society).

---

Autores: U. Bidarte, A. Astarloa, A. Zuloaga, J. Jiménez and I. Mtz. De Alegría  
Título: Core-Based Reusable Architecture for Slave Circuits with Extensive Data Exchange Requeriments.  
Tipo de participación: Comunicación  
Congreso: 13th International Conference on Field-Programmable Logic and Applications (FPL2003).  
Publicación: Proceedings of the FPL 2003. ISBN 3-540-40822-3.  
Ciudad: Lisboa País: Portugal Año: 2003  
Entidad Organizadora: Technical University of Lisbon.

---

Autores: A. Astarloa, U. Bidarte, A. Zuloaga  
Título: A reconfigurable SoC architecture for high volume and multi-channel data transaction in industrial environments  
Tipo de participación: Comunicación  
Congreso: 28th International Conference on Industrial Electronics, Control and Instrumentation (IECON-2002)  
Publicación: Proceedings of the IECON02. ISBN 0-7803-7474-6.  
Lugar de celebración: Sevilla (España) Fecha: 5 al 8 de Noviembre del 2002

---

Autores: J. Jiménez, E. Fernández, J. L. Martín, U. Bidarte y A. Zuloaga  
Título: Simulation environment to verify industrial communication circuits  
Tipo de participación: Comunicación



Congreso: 28th International Conference on Industrial Electronics, Control and Instrumentation (IECON-2002)  
Publicación: Proceedings of the IECON-2002 (CD), 6 páginas. ISBN 0-7803-7475-4  
Lugar de Celebración: Sevilla (España) Fecha: 5 al 8 de Noviembre de 2002

---

Autores: J. L. Martín, J. Lázaro, U. Bidarte, A. Zuloaga, K. Espinosa e I. Goirizelaia  
Título: Image acquisition and digitalizing system for an electronic voting system  
Tipo de participación: Comunicación  
Congreso: XVI Design of Circuits and Integrated Systems Conference (DCIS'01)  
Publicación: Proceedings of DCIS'01, págs. 432-437  
Lugar de Celebración: Oporto (Portugal) Fecha: 20 al 23 de Noviembre de 2001

---

Autores: J. L. Martín, U. Bidarte, C. Cuadrado y P. Ibañez  
Título: DSP-based board for control of jaw crushers used in mining and quarrying industry  
Tipo de participación: Comunicación  
Congreso: 26th International Conference on Industrial Electronics, Control and Instrumentation, IECON 2000  
Publicación: Proceedings of the IECON 2000, págs. 2019-2024. ISBN 0-7803-6459-7  
Lugar de celebración: Nagoya (Japón) Fecha: 22 al 28 de Octubre de 2000

---

Autores: U. Bidarte, J. L. Martín, A. Zuloaga, J. A. Ezquerro  
Título: Adaptive Image Brightness and Contrast Enhancement Circuit for Real-Time Vision Systems  
Tipo de participación: Comunicación Congreso Internacional  
Congreso: IEEE International Conference on Industrial Technology, ICIT 2000  
Publicación: Proceedings of ICIT'2000 ISBN: 0-7803-5812-0 Páginas: 421-426  
Lugar de celebración: Goa (La India) Fecha: 2000

---

Autores: I. Milikua, A. Zuloaga, U. Bidarte, A. Chavarria  
Título: Convolution of Image Sequences Using Distributed Arithmetic in Real Time  
Tipo de participación: Comunicación  
Congreso: XV Design of Circuits and Integrated Systems Conference (DCIS'00)  
Publicación: Proceedings of DCIS'00, págs. 434-437  
Lugar de Celebración: Montpellier (Francia) Fecha: 21 al 24 de Noviembre de 2000

---

Autores: U. Bidarte, J. L. Martín, A. Zuloaga, J. A. Ezquerro  
Título: FPGA-based Adaptive Histogram Equalizer for Real-Time Video Signals  
Tipo de participación: Comunicación Congreso Internacional  
Congreso: XIV Design of Circuits and Integrated Systems Conference, DCIS'99  
Publicación: Proceedings of DCIS'99 ISBN: 84-7632-424-3 Páginas: 819-824  
Lugar de celebración: Palma de Mallorca Fecha: 1999

---

Autores: U. Bidarte, J. A. Ezquerro, A. Zuloaga, J. L. Martín  
Título: VHDL Modeling of an Adaptive Architecture for Real-Time Image Enhancement  
Tipo de participación: Comunicación Congreso Internacional  
Congreso: VHDL International Users Forum 1999, VIUF'99  
Publicación: Proceedings of VIUF'99 ISBN: 0-7695-0465-5 Páginas: 187-196  
Lugar de celebración: Orlando, FL (USA) Fecha: 1999

---

Autores: A. Zuloaga, J. A. Ezquerro, U. Bidarte, J. L. Martín  
Título: VHDL Simulation Tool for Designing Image Processing Systems  
Tipo de participación: Comunicación Congreso Internacional  
Congreso: XIV Design of Circuits and Integrated Systems Conference, DCIS'99

Publicación: Proceedings of DCIS'99 ISBN: 84-7632-424-3  
Lugar de celebración: Palma de Mallorca

Páginas: 275-280  
Fecha: 1999

---

Autores: A. Zuloaga, J. L. Martín, U. Bidarte, J. A. Ezquerro

Título: High Speed Architecture for Image Sequence Processing Described with VHDL

Tipo de participación: Comunicación Congreso Internacional

Congreso: Second International Forum on Design Languages, FDL'99

Publicación: Proceedings of FDL'99 ISBN: 2-84010-033-9

Páginas: 177-186

Lugar de celebración: Lyon

Fecha: 1999

---

Autores: A. Zuloaga, J. L. Martín, U. Bidarte, J. A. Ezquerro

Título: VHDL Test Bench for Digital Image Processing Systems Using a New Image Format

Tipo de participación: Comunicación Congreso Internacional

Congreso: Second International Forum on Design Languages, FDL'99

Publicación: Proceedings of FDL'99 ISBN: 2-84010-033-9

Páginas: 187-196

Lugar de celebración: Lyon

Fecha: 1999

---

Autores: A. Zuloaga, U. Bidarte, J.L. Martín, J.A. Ezquerro

Título: Optical Flow Estimator Using VHDL for Implementation in FPGAs

Tipo de participación: Comunicación Congreso Internacional

Congreso: XII Design of Circuits and Integrated Systems Conference, DCIS'98

Publicación: Proceedings of DCIS'98 ISBN: 84-606-8345-7

Páginas: 36-41

Lugar de celebración: Madrid

Fecha: 1998

---

## **PUBLICACIONES DE TRABAJOS PRESENTADOS A CONGRESOS NACIONALES (ACTAS)**

---

Autores: Igor Villata, Unai Bidarte, Uli Kretschmar, Gorka Santos, Asier Matallana

Título: Functional Verification for SEU Emulation in FPGA Designs

Tipo de participación: Ponencia

Congreso: XIV Jornadas de Computación Reconfigurable y Aplicaciones (JCRA14)

Publicación: Actas del congreso JCRA14, págs.: 29-34. ISBN: 978-84-697-0971-9

Lugar de Celebración: Valladolid

Fecha: Septiembre de 2014

---

Autores: U. Kretschmar, J. Gomez-Cornejo, N. Moreira, U. Bidarte, A. Astarloa.

Título: A Versatile FPGA Demonstration Platform for Academic Use.

Congreso: XI Congreso de Tecnologías, Aprendizaje y Enseñanza de la Electrónica (TAEE 2014).

Publicación: Libro de Actas del TAEE 2014, págs. 218-223. ISBN: 978-84-697-0349-6.

Ciudad: Bilbao

País: España

Año: 2014

---

Autores: U. Bidarte, J. Lázaro, C. Cuadrado, J. Jiménez.

Título: Luces y sombras en las metodologías activas para aprender Electrónica digital.

Congreso: XI Congreso de Tecnologías, Aprendizaje y Enseñanza de la Electrónica (TAEE 2014).

Publicación: Libro de Actas del TAEE 2014, págs. 311-314. ISBN: 978-84-697-0349-6.

Ciudad: Bilbao

País: España

Año: 2014

---

Autores: J. Gomez-Cornejo, A. Zuloaga, U. Kretschmar, U. Bidarte, A. Astarloa.

Título: Implementación en FPGA de un procesador soft-core PIC16.

Congreso: Seminario Anual de Automática, Electrónica Industrial e Instrumentación (SAAEI 2012).

Publicación: Actas del Congreso SAAEI 2012, págs. 687-691. ISBN 978-972-98603-5-5.

Ciudad: Guimaraes País: Portugal Año: 2012

---

Autores: O. Díaz, A. Zuloaga, U. Bidarte, A. Astarloa, J. L. Martín

Título: Análisis de una arquitectura Network-on-Chip tolerante a fallos

Congreso: XVIII Seminario Anual de Automática, Electrónica Industrial e Instrumentación (SAAEI 2011)

Tipo de participación: Comunicación

Publicación: Actas del Congreso SAAEI 2011, págs. 701-706. ISBN 978-84-933682-3-4

Lugar de Celebración: Badajoz (España)

Fecha: 6 al 8 de Julio de 2011

---

Autores: Aitor Rodriguez, Armando Astarloa, Jesús Lázaro, Unai Bidarte, Jon Mabe

Título: Pasarela FIFO-Ethernet SoPC para Aplicaciones de Captura de Datos en Sistemas Industriales

Tipo de participación: Ponencia

Congreso: XVII Seminario Anual de Automática, Electrónica Industrial e Instrumentación (SAAEI10)

Publicación: Actas de SAAEI10. ISBN: 978-84-95809-75-9.

Lugar de Celebración: Bilbao

Fecha: Julio de 2010

---

Autores: A. Astarloa, C. Regueiro, J. Lázaro, U. Bidarte, J. Jiménez

Título: Plataforma PCI Express para la Evaluación y el Desarrollo de Sistemas Redundantes y Auto-Reparables

Tipo de participación: Ponencia

Congreso: XVII Seminario Anual de Automática, Electrónica Industrial e Instrumentación (SAAEI10)

Publicación: Actas de SAAEI10. ISBN: 978-84-95809-75-9.

Lugar de Celebración: Bilbao

Fecha: Julio de 2010

---

Autores: A. Morillo, A. Astarloa, A. Zuloaga, U. Bidarte, J. Lázaro

Título: Técnicas de diseño seguro con FPGAs

Tipo de participación: Ponencia

Congreso: XVII Seminario Anual de Automática, Electrónica Industrial e Instrumentación (SAAEI10)

Publicación: Actas de SAAEI10. ISBN: 978-84-95809-75-9.

Lugar de Celebración: Bilbao

Fecha: Julio de 2010

---

Autores: Ander Madariaga, Jaime Jiménez, José Luis Martín, Unai Bidarte, Aitzol Zuloaga

Título: Revisión de herramientas de diseño electrónico para la síntesis de alto nivel

Tipo de participación: Ponencia

Congreso: X Jornadas de Computación Reconfigurable y Aplicaciones (JCRA10)

Publicación: Actas de JCRA10, págs. 233-240. ISBN: 978-84-92812-56-1.

Lugar de Celebración: Valencia

Fecha: Septiembre de 2010

---

Autores: J. Casanovas, A. Astarloa, J. Lázaro, U. Bidarte y A. Zuloaga  
Título: Integración de Unidades Procesadoras para el Estándar de Redes Domóticas KNX/EIB en Dispositivos Reconfigurables  
Tipo de participación: Ponencia  
Congreso: IX Jornadas de Computación Reconfigurable y Aplicaciones (JCRA09)  
Publicación: Actas de JCRA09, págs. 173-180. ISBN: 978-84-8138-832-9.  
Lugar de Celebración: Alcalá de Henares Fecha: Septiembre de 2009

---

Autores: J. Lázaro, A. Astarloa, J. Arias, U. Bidarte y J. Jiménez  
Título: Implementación Modular de un Coprocesador de Redes Neuronales de Regresión General  
Tipo de participación: Comunicación Oral  
Congreso: II Simposio de Inteligencia Computacional (SICO'07)  
Publicación: Actas de JCRA'07, págs. 97-102. ISBN: 84-611-1315-2.  
Lugar de Celebración: Zaragoza Fecha: Septiembre de 2007

---

Autores: E. Olaguenaga, A. Astarloa, U. Bidarte, J. Jiménez, J. L. Martín  
Título: Aplicación de los dispositivos reconfigurables en el cifrado y autenticación de datos a alta velocidad  
Tipo de participación: Comunicación  
Congreso: VII Jornadas de Computación Reconfigurable y Aplicaciones (JCRA'07)  
Publicación: Actas de JCRA'07, págs. 137-144. ISBN: 978-84-9732-600-1.  
Lugar de Celebración: Zaragoza (España) Fecha: Septiembre de 2007

---

Autores: A. Astarloa, M. Gómez, X. Yurrebaso, U. Bidarte, J. L. Martín.  
Título: Controlador SoPC de intensidad luminosa basado en algoritmos genéticos para locales con fuentes de luz mixtas.  
Tipo de participación: Comunicación  
Congreso: VI Jornadas de Computación Reconfigurable y Aplicaciones (JCRA'06).  
Publicación: (en formato libro) Computación Reconfigurable y Aplicaciones, Capítulo 4, págs. 141-145. ISBN: 84-611-1315-2. (en formato CD) FPGAs: Metodologías, Herramientas y Aplicaciones, págs. 123-127. ISBN: 84-611-1314-4.  
Lugar de celebración: Cáceres Fecha: 12 al 14 de Septiembre de 2006

---

Autores: A. Astarloa, U. Bidarte, J. Jiménez, J. Arias e I. Kortabarria  
Título: Bus -Macro compatible Wishbone para reconfiguración parcial Inter-Task  
Congreso: V Jornadas de Computación Reconfigurable y Aplicaciones (JCRA'05)  
Publicación: Actas de JCRA05, págs. 17-24. ISBN: 84-9732-439-0  
Lugar de Celebración: Granada Fecha: 14 al 16 de Septiembre de 2005

---

Autores: A. Astarloa, U. Bidarte, J. L. Martín, J. Lázaro y A. Zuloaga  
Título: Sistemas para control de la reconfiguración parcial dinámica en plataformas FPGA comerciales de grano fino  
Congreso: V Jornadas de Computación Reconfigurable y Aplicaciones (JCRA'05)  
Publicación: Actas de JCRA05, págs. 25-36. ISBN: 84-9732-439-0  
Lugar de Celebración: Granada Fecha: 14 al 16 de Septiembre de 2005

---

Autores: M. Garay, A. Astarloa, U. Bidarte, A. Zuloaga y J.L. Martín  
Título: Plataforma CSoPC para la Evaluación del Sistema de Reconfiguración Parcial Dinámica Tornado  
Tipo de participación: Comunicación Congreso Nacional  
Congreso: IV Jornadas de Computación Reconfigurable y Aplicaciones (JCRA'04)  
Publicación: Actas del congreso JCRA'04 ISBN 846887667-4 Páginas: 53-62  
Lugar de celebración: Barcelona (España) Fecha: 2004

---

Autores: I. Milikua, U. Bidarte, A. Zuloaga

Título: Aritmética Distribuida Aplicada a la Optimización de Recursos en la Implementación Hardware de un Convolucionador de Vídeo

Tipo de participación: Comunicación Congreso Nacional

Congreso: XV Symposium Nacional de la Unión Científica Internacional de Radio, URSI'00

Publicación: Actas del congreso URSI'00 ISBN: 84-600-9597-5      Páginas: 491-492

Lugar de celebración: Zaragoza (España)      Fecha: 2000

---

Autores: U. Bidarte, J. Ezquerro, A. Zuloaga, J. García, A. Ramos

Título: Convolucionador de señales de vídeo en tiempo real desarrollado sobre FPGAs

Tipo de participación: Comunicación Congreso Nacional

Congreso: XIV Symposium Nacional de la Unión Científica Internacional de Radio, URSI'99

Publicación: Proceedings of URSI'99 ISBN: 84-699-0893-6      Páginas: 282-283

Lugar de celebración: Santiago de Compostela (España)      Fecha: 1999

---

Autores: U. Bidarte, L. A. Nozal, J. A. Ezquerro, J. L. Martín, A. Zuloaga

Título: Digital Phase Locked Loop in Image Acquisition Circuits

Tipo de participación: Comunicación Congreso Nacional

Congreso: VIII National Symposium on Pattern Recognition and Image Analysis, SNRFAI'99

Publicación: Proceedings of SNRFAI'99 ISBN: 84-95120-80-1      Páginas: 61-62

Lugar de Celebración: Bilbao      Fecha: 1999

---

Autores: U. Bidarte, J. A. Ezquerro, J. L. Martín, A. Zuloaga

Título: Adaptive and Parameterizable Histogram Equalizer for Real Time Video Signals using VHDL

Tipo de participación: Comunicación Congreso Nacional

Congreso: VIII National Symposium on Pattern Recognition and Image Analysis, SNRFAI'99

Publicación: Proceedings of SNRFAI'99 ISBN: 84-95120-80-1      Páginas: 59-60

Lugar de Celebración: Bilbao      Fecha: 1999

---

Autores: J. I. García, A. Zuloaga, U. Bidarte, J.A. Ezquerro, J.L. Martín

Título: Banco de pruebas VHDL para simulación de modelos para el procesamiento de imágenes

Tipo de participación: Comunicación Congreso Nacional

Congreso: XIII Symposium Nacional de la Unión Científica Internacional de Radio, URSI'98

Publicación: Actas de URSI'98 ISBN: 84-89654-12-3      Páginas: 747-748

Lugar de celebración: Pamplona      Fecha: 1998

---

## Tesis Doctorales dirigidas

---

Título: Aplicación conjunta de virtualización y reconfiguración parcial dinámica a la Smart Grid

Doctoranda: Sara Alonso Salazar

Directores: Leire Muguiru Urtubi y Unai Bidarte Peraita

Universidad: Universidad del País Vasco (UPV/EHU)

Facultad / Escuela: E. S. I. de Bilbao

Fecha: en curso

---

Título: Caracterización de la tolerancia a fallos de circuitos implementados en FPGAs

Doctorando: Igor Villalta Bustillo

Directores: Unai Bidarte Peraita

Universidad: Universidad del País Vasco (UPV/EHU)

Facultad / Escuela: E. S. I. de Bilbao

Fecha: 17/05/2019

---

Título: Belaunaldi berriko FPGAen ezaugarrien ustiapena potentzia-bihurgailu matrizialen kontrolen hobekuntzarako eta denbora errealeko simulazioak gauzatzeko

Doctorando: Enekoitz Ormaetxea Gardoqui

Directores: Jon Andreu Larrañaga y Unai Bidarte Peraita

Universidad: Universidad del País Vasco (UPV/EHU)

Facultad / Escuela: E. T. S. I. de Bilbao

Fecha: 23/12/2011

## Experiencia en organización de actividades de I+D

Organización de congresos, seminarios, jornadas, etc., científicos-tecnológicos

---

### Organización de Congresos, Seminarios, Jornadas y Cursos:

---

Título: XXXIV Conference on Design of Circuits and Integrated Systems (DCIS)

Tipo de actividad: Comité local      Ámbito: Internacional

Fecha: 20-21-22 de noviembre de 2019

---

Título: Seminario Anual de Automática, Electrónica Industrial e Instrumentación (SAAEI)

Tipo de actividad: Comité de programa y comité local      Ámbito: Nacional

Fecha: 7-8-9 de julio de 2010

---

Título: "Técnicas y Herramientas EDA de Diseño Digital Avanzado: VHDL, ISE y Modelsim".(2ª Ed.)

Tipo de actividad: Organizador / Ponente      Ámbito: Nacional

Fecha: Febrero 2005

---

Título: "Técnicas y Herramientas EDA de Diseño Digital Avanzado: VHDL, ISE y Modelsim"

Tipo de actividad: Organizador / Ponente      Ámbito: Nacional

Fecha: Junio 2004

**Evaluador de Congresos Internacionales:**

---

Título: Field Programmable Logic and Applications (FPL)

Título: Conference on Design of Circuits and Integrated Systems (DCIS)

---

**Evaluador de Revistas Internacionales:**

---

Título: Dyna, Ingeniería e Industria

Título: IEEE Transactions on Very Large Scale Integration Systems

Título: IEEE Transactions on Computers

Título: IEEE Computer

Título: Journal of Low Power Electronics and Applications



**Otros méritos o aclaraciones que se desee hacer constar**  
(utilice únicamente el espacio equivalente a una página).

---

2019	Reconocimiento del tercer tramo investigador (sexenio) por la Comisión Nacional Evaluadora de la Actividad Investigadora correspondiente al período 2014-2019 y del cuarto tramo docente (quinquenio) por la UPV/EHU correspondiente al período 2015-2019
2014	Reconocimiento del segundo tramo investigador (sexenio) por la Comisión Nacional Evaluadora de la Actividad Investigadora correspondiente al período 2008-2013 y del tercer tramo docente (quinquenio) por la UPV/EHU correspondiente al período 2009-2014.
2010	Asistencia al "Curso de DO-254: Design Assurance Guidance for Airbone Electronic Hardware" de 16 horas e impartido por Avelino Martín Adalid en Ikerlan-Garaia los días 3 y 4 de junio de 2010.
2010	Reconocimiento de un tramo investigador (sexenio) por la Comisión Nacional Evaluadora de la Actividad Investigadora correspondiente al período 2002-2007 y de dos tramos docentes (quinquenios) por la UPV/EHU correspondientes al período 1999-2009.
2009-2010	Profesor participante en el Proyecto de Innovación Educativa "Nueva metodología de enseñanza-aprendizaje de sistemas electrónicos digitales basada en proyectos" realizado entre Febrero de 2009 y Septiembre de 2010.
Mayo 2009	Certificado de Acreditación Nacional para el cuerpo docente de Profesores Titulares de Universidad.
Diciembre 2004	Revisor de las revistas IEEE Computer e IEEE Transactions on Computers.
Mayo 2004-2006	Miembro electo del Claustro de la Universidad del País Vasco.
Abr. 2003	Revisor del congreso Field-Programmable Logic and Applications.
Jul. 2002	Curso Xilinx-ISE-VHDL impartido por la Universidad Autónoma de Madrid
2002-2005	Miembro electo de la Junta de Escuela de la E.S.I. de Bilbao.
Jul. 2001	Curso de "Diseño de sistemas embebidos HW/SW" impartido por la Universidad de Cantabria (30 h).
2001-2006	Responsable de la dirección de proyectos en la unidad de telecomunicación del Aula Robotiker instalada en la Escuela de Ingeniería de Bilbao.
Nov. 2000	Suficiencia Investigadora en el programa de doctorado "Tecnologías de la información", en la línea de investigación "Diseño electrónico".
1999	Acreditación lingüística para dar clases en euskera en la UPV-EHU.
1998-1999:	Trabajo de profesor de informática y tecnología en el Colegio Azkorri de Getxo a media jornada.
1989	Título E.G.A. (certificado de aptitud en euskera).

Docencia impartida en las asignaturas siguientes:

Grado en Ingeniería en Tecnología de Telecomunicación: "Electrónica Digital", "Laboratorio de Sistemas Digitales"

Máster en Ingeniería de Telecomunicación: "Laboratorio de Circuitos Digitales"

Máster en Sistemas Electrónicos Avanzados: "Bus de Sistema e Integración de Núcleos Prediseñados"

Titulación de Ingeniero de Telecomunicación: "Electrónica Digital", "Laboratorio de Electrónica Digital", "Laboratorio de Circuitos Integrados", "Laboratorio de Sistemas Digitales".

Titulación de Ingeniero Industrial: "Electrónica Industrial" y "Electrónica General".

Titulación de Ingeniero en Electrónica y Automática Industrial: "Sistemas Electrónicos Digitales".